



## UJIAN AKHIR SEMESTER Semester Ganjil Tahun Akademik 2011/2012

Kode Mata Kuliah	: TSK-505
Nama Mata Kuliah	: Sistem Digital Lanjut
Program Studi	: Teknik Sistem Komputer
Hari / Tanggal Ujian	: Selasa, 3 Januari 2012
Waktu Ujian	: 14.00 – 15.30 (90 menit)
Dosen	: Eko Didik Widiyanto

### Perhatian :

- Ujian bersifat **TUTUP BUKU**
  - Dilarang melakukan kecurangan dalam ujian, atas setiap kecurangan yang dilakukan dikenakan sanksi tidak lulus (nilai E) mata kuliah yang bersangkutan. Hal-hal berikut dianggap sebagai perbuatan curang : melihat berkas ujian milik peserta lainnya; memperlihatkan berkas ujian milik sendiri kepada peserta lain; melihat buku ajar, diktat, atau catatan dalam bentuk apapun; pinjam meminjam alat tulis dan/atau kalkulator; berbicara dengan peserta lain; menggunakan telepon selular (*handphone*); menggunakan Personal Digital Assistant (*PDA*); membuka surat elektronik (*e-mail*) selama ujian berlangsung.
- Bersama ini dilampirkan datasheet sebagai bahan referensi mahasiswa dalam mengerjakan tugas. Mahasiswa **tidak diperkenankan** membuka bahan yang lain selain lembar lampiran yang telah disediakan;
- **Boleh menggunakan kalkulator (jika diperlukan)**
- Jawablah dengan singkat dan tepat di lembar jawaban. Untuk menghemat waktu, **soal tidak perlu ditulis kembali** di lembar jawaban

---

**Total Nilai: 105**

### Soal Desain dan Implementasi Sistem Digital

Diinginkan desain sistem berupa rangkaian digital sinkron dengan spesifikasi sebagai berikut:

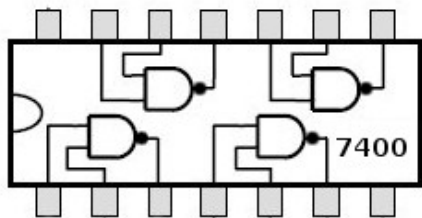
- Masukan sistem adalah 1 jalur data serial DATA\_IN, 1 sinyal RESET dan 1 sumber clock CLK;
- Keluaran sistem adalah 1 jalur data serial DATA\_OUT;
- Keluaran DATA\_OUT akan bernilai '1' jika masukan DATA\_IN adalah deretan **1→1→0** secara berurutan, deretan nilai masukan yang lain akan menghasilkan DATA\_OUT='0';
- Keluaran DATA\_OUT='0' saat RESET=1;
- Keluaran DATA\_OUT dan RESET terjadi secara sinkron terhadap CLK;

### Tugas Mahasiswa

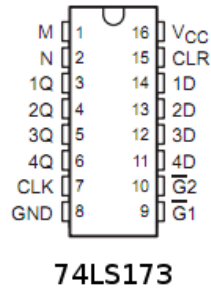
1. (**skor 35**) Desain sistem digital dari kebutuhan tersebut
  - a) Gambarkan diagram blok sistem tersebut
  - b) Desain FSM (finite state machine) menggunakan model Moore
  - c) Buatlah tabel state
  - d) Nyatakan fungsi logika paling sederhana dari rangkaian input (logika next\_state) dan rangkaian output (output\_logic)

2. **(skor 30)** Implementasikan sistem hanya menggunakan IC quad flip-flop (74LS173) dan IC quad NAND (74LS00). Hitung cost (jumlah gerbang dan IC yang digunakan) untuk mengimplementasikan sistem. IC quad NAND 74LS00 dan quad D Flip-flop 74LS173 diperlihatkan dalam Gambar 1 dan Gambar 2.

**Petunjuk:** Hubungkan pin M, N, G1 dan G2 ke GND atau '0' sehingga output Q akan mengikuti data masukan D saat transisi CLK naik. CLR digunakan untuk mereset keluaran ke '0'.



Gambar 1: IC quad nand 2-masukan 74LS00



74LS173

FUNCTION TABLE					
INPUTS					
CLR	CLK	DATA ENABLE		DATA D	OUTPUT Q
		G1	G2		
H	X	X	X	X	L
L	L	X	X	X	Q <sub>0</sub>
L	↑	H	X	X	Q <sub>0</sub>
L	↑	X	H	X	Q <sub>0</sub>
L	↑	L	L	L	L
L	↑	L	L	H	H

Tabel fungsi saat M=N=0

Gambar 2: IC quad DFF dan tabel fungsinya

3. **(skor 35)** Implementasikan sistem menggunakan HDL (VHDL atau verilog). Tuliskan kode HDL secara lengkap beserta komentarnya.
4. **(skor 5)** Analisis sistem digital tersebut untuk urutan masukan DATA\_IN  $X \rightarrow X \rightarrow 0 \rightarrow 1 \rightarrow 0 \rightarrow 1 \rightarrow 1 \rightarrow 0 \rightarrow 0 \rightarrow 1 \rightarrow 0 \rightarrow 1 \rightarrow 0 \rightarrow 1 \rightarrow 0 \rightarrow 1 \rightarrow 1 \rightarrow 0 \rightarrow 1$ . Gambarkan dalam diagram pewaktuan untuk sinyal RESET, DATA\_IN, CLK dan DATA\_OUT. Masukan X atau don't care terjadi saat RESET=1 selama 2 periode clock.