

## GARIS-GARIS BESAR PROGRAM PERKULIAHAN (GBPP)

---

<b>Matakuliah</b>	: Sistem Digital Lanjut	<b>Kode</b>	: TKC305	<b>Teori</b>	: 2 sks	<b>Praktikum</b>	: 1 sks
<b>Deskripsi Matakuliah</b>	: TKC305 Sistem Digital Lanjut ini merupakan mata kuliah lanjutan setelah TSK-205 Sistem Digital di jurusan Sistem Komputer. Sebelumnya mata kuliah ini mempunyai kode TSK-505 dan ditujukan untuk mahasiswa tingkat tiga. Di TSK-205, mahasiswa telah mempelajari dasar-dasar sistem digital mulai dari konsep, aljabar Boolean, analisis dan sintesis rangkaian logika, rangkaian logika minimal, teknologi implementasi dengan CMOS dan mengimplementasikannya menggunakan chip standar TTL (dan CMOS), representasi bilangan dan operasi aritmetika, blok rangkaian kombinasional, rangkaian sekuensial: latch, flip-flop, register dan counter. Di TSK-505, mahasiswa akan belajar tentang desain dan implementasi rangkaian kombinasional dan sekuensial tersebut menggunakan chip standar TTL (dan CMOS) untuk rangkaian yang lebih kompleks dan teknologi device terprogram (CPLD/FPGA) berbasis Xilinx. Bahasa HDL (Hardware Description Language) yang digunakan untuk merancang sistem digital terprogram adalah Verilog. Kuliah TKC305 Sistem Digital Lanjut mempelajari hal-hal sebagai berikut: <ol style="list-style-type: none"><li>1. Teknologi implementasi sistem digital: gerbang logika CMOS, IC standar seri 7400, PLD, FPGA, ASIC dan CAD untuk mengimplementasikan sistem</li><li>2. Desain rangkaian kombinasional: multiplexer, dekoder, enkoder, kode konverter, komparator dan deskripsi HDLnya</li><li>3. Elemen rangkaian sekuensial: latch (SR, D), flip-flop (D, T, JK), register, shift register, counter/pencacah up/down sinkron dan asinkron, pencacah lainnya dan deskripsi HDLnya</li><li>4. Desain rangkaian sekuensial sinkron: FSM meliputi diagram, tabel dan assignment state serta pemilihan flip-flop untuk implementasi, model Moore, model Mealy, desain FSM dengan HDL, minimisasi state, contoh implementasi (serial adder, counter) dan analisisnya</li><li>5. Desain rangkaian sekuensial asinkron: analisis, sintesis, reduksi dan assignment state serta contoh desainnya</li></ol> <u>Mata kuliah prasyarat:</u> TSK-205/ (Sistem Digital) Mata kuliah yang berkaitan adalah TSK-305 (Teknik Mikroprosesor) dan TSK-307 (Organisasi Komputer) . TKC305 juga akan menjadi prasyarat untuk kuliah pilihan TKC405 Desain Sistem VLSI.						
<b>Standar Kompetensi</b>	: Setelah lulus mata kuliah ini, dengan pemahaman konsep, prinsip dan prosedur perancangan dan analisis sistem digital yang diperoleh, mahasiswa akan mampu: <ol style="list-style-type: none"><li>1. merancang, mengimplementasikan dan menganalisis rangkaian digital menggunakan chip standar TTL/CMOS (seri 74xx);</li><li>2. merancang, mengimplementasikan dan menganalisis rangkaian digital menggunakan HDL Verilog/VHDL di atas FPGA Xilinx Spartan-3E;</li></ol>						
<b>Program Studi</b>	: Sistem Komputer, Fakultas Teknik, Universitas Diponegoro						
<b>Dosen Pengampu Matakuliah</b>	: Eko Didik Widiyanto,ST.,MT. NIP. 197705262010121001						
<b>Pustaka Pendukung :</b>	<ol style="list-style-type: none"><li>1. Stephen Brown and Zvonko Vranesic, “Fundamentals of Digital Logic with Verilog”, 2nd Edition, McGraw-Hill, 2005</li><li>2. Peter J. Ashenden, “Digital Design: An Embedded Systems Approach Using Verilog”, Morgan Kaufmann, 2008</li></ol>						

3. Website: Verilog Tutorial, <http://www.asic-world.com/verilog/veritut.html>
4. UG230: Spartan-3E FPGA Starter Kit Board User Guide, Xilinx, June 2008
5. DS312: Spartan-3E FPGA Family Data Sheet, Xilinx, August 2009
6. Spartan-3E Starter Board Schematic, Digilent, Feb 2006
7. Xilinx ISE Design Suite 11 Software Manual, Xilinx, 2009
8. Website: Wikipedia 7400 Series, [http://en.wikipedia.org/wiki/7400\\_series](http://en.wikipedia.org/wiki/7400_series)

**Web kuliah:** <http://didik.blog.undip.ac.id/2012/09/02/tkc-305-sistem-digital-lanjut-2012/>

Web berisi deskripsi dan rencana kuliah TKC305 Sistem Digital Lanjut, file presentasi, tugas dan solusi, serta sebagai wadah interaksi dosen-mahasiswa.

## **Peta Instruksional**

No.	Kompetensi Dasar Hardskill	Pokok Bahasan	Sub Pokok Bahasan	Kompetensi Softskill	Estimasi Waktu (menit)	Daftar Pustaka
1	<p>a) [C2] Mahasiswa akan mampu menjelaskan konsep dan prinsip gerbang-gerbang logika CMOS dan rangkaian logikanya secara tepat</p> <p>b) [C3] Mahasiswa akan mampu menjelaskan dan memilih teknologi implementasi sistem digital secara tepat, mulai dari teknologi IC Seri 7400, PLD (programmable logic device) dan ASIC (application specific IC)</p> <p>c) [C6] Mahasiswa akan mampu untuk merancang rangkaian logika CMOS yang <u>optimal</u> jika diberikan fungsi masukan-keluaran sistem</p>	Teknologi implementasi sistem digital	<ul style="list-style-type: none"> <li>• Saklar transistor</li> <li>• NMOS, PMOS dan CMOS</li> <li>• Gerbang logika CMOS: NOT, AND, OR, NAND, NOR</li> <li>• IC seri 74xx, PLA, PAL, CPLD, FPGA, ASIC, standard-cell dan gate</li> </ul>	<ul style="list-style-type: none"> <li>• Berfikir kritis</li> <li>• Inisiatif</li> <li>• Berani mengemukakan pendapat</li> <li>• Apresiatif terhadap pendapat orang lain</li> </ul>	2 x 50	[1] Bab 3.1-3.6
2	<p>a) [C3] Mahasiswa akan dapat menerapkan metodologi untuk mengembangkan sistem digital menggunakan IC seri 74xx</p> <p>b) [C3] Mahasiswa akan mampu menjelaskan dan mengaplikasikan asumsi dan disiplin dalam perancangan sistem digital saat implementasi secara fisik</p> <p>c) [C5] Mahasiswa akan mampu memilih IC TTL/CMOS seri 7400 untuk mengimplementasikan desain rangkaian digital secara tepat jika diberikan suatu kebutuhan desain</p>	IC Standar Seri-74xx	<ul style="list-style-type: none"> <li>• Metodologi desain sistem digital menggunakan IC seri 74xx</li> <li>• Rangkaian 74xx</li> <li>• Tinjauan praktikal: asumsi dan disiplin dalam rangkaian digital</li> </ul>	<ul style="list-style-type: none"> <li>• Berfikir kritis</li> <li>• Inisiatif</li> <li>• Apresiatif terhadap pendapat orang lain</li> </ul>	2 x 50	[1] Bab 3.5 [8] [2] Bab 6.1-6.2
3	<p>a) [C3] Mahasiswa akan dapat menerapkan metodologi untuk mengembangkan sistem digital menggunakan device FPGA jika diberikan suatu kebutuhan rancangan sistem digital</p> <p>b) [C3] Mahasiswa akan dapat menggunakan program Xilinx ISE Webpack untuk merancang sistem digital dengan benar</p> <p>c) [C2] Mahasiswa akan dapat membedakan HDL dengan bahasa pemrograman lainnya</p>	Programmable Logic Device (PLD) dan Hardware Description Language (HDL)	<ul style="list-style-type: none"> <li>• Metodologi desain sistem digital menggunakan PLD (Xilinx FPGA) dan Xilinx ISE Webpack</li> <li>• IDE Xilinx ISE Webpack</li> <li>• Pengantar HDL: Verilog dan VHDL</li> </ul>	<ul style="list-style-type: none"> <li>• Berfikir kritis</li> <li>• Inisiatif</li> <li>• Apresiatif terhadap pendapat orang lain</li> <li>• Terampil menggunakan software</li> </ul>	2 x 50	[2] Bab 10 [3] [4][5][6][7]
4	a) [C3] Mahasiswa akan dapat menggunakan	Dasar-dasar	• Sintaks dan semantik	• Berfikir kritis	2 x 50	[2] Bab 2.1

No.	Kompetensi Dasar Hardskill	Pokok Bahasan	Sub Pokok Bahasan	Kompetensi Softskill	Estimasi Waktu (menit)	Daftar Pustaka
	<p>sintaks-sintaks HDL Verilog dengan benar untuk membuat program HDL untuk suatu problem desain sistem digital sederhana</p> <p>b) [C3] Mahasiswa akan dapat menuliskan modul testbench untuk menguji modul yang didesain secara fungsional</p> <p>c) [C6] Mahasiswa akan mampu mengevaluasi desainnya dari diagram pewaktuan yang didapatkannya serta perilaku keluaran sistem dari masukan yang diberikan</p>	Pemrograman Verilog	<ul style="list-style-type: none"> <li>• Gate-level modelling</li> <li>• Primitive</li> <li>• Operator</li> <li>• Model behavior</li> <li>• Fungsi dan task</li> <li>• Simulasi dan testbench</li> </ul>	<ul style="list-style-type: none"> <li>• Inisiatif</li> <li>• Apresiatif terhadap pendapat orang lain</li> <li>• Terampil menggunakan software</li> </ul>		[3]
5.6	<p>a) [C3] Mahasiswa akan mampu memprogram HDL Verilog untuk elemen-elemen rangkaian kombinasional dengan tepat (dapat tersintesis)</p> <p>b) [C4] Mahasiswa akan mampu mensimulasikan dan menganalisis desain HDL rangkaian tersebut</p> <p>c) [C5] Mahasiswa akan mampu mensintesis desain rangkaian kombinasional dengan fungsi serupa IC seri 74xx untuk FPGA Xilinx</p> <p>d) [C6] Mahasiswa akan mampu mengevaluasi desain rangkaian tersebut</p>	HDL untuk elemen rangkaian kombinasional	<ul style="list-style-type: none"> <li>• Multiplexer 4-ke-1, 16-ke-1</li> <li>• Enkoder biner 4-ke-2, enkoder prioritas</li> <li>• Dekoder/demultiplexer 3-ke-8</li> <li>• Dekoder BCD/hex ke 7-segmen</li> </ul>	<ul style="list-style-type: none"> <li>• Berfikir kritis</li> <li>• Inisiatif</li> <li>• Apresiatif terhadap pendapat orang lain</li> <li>• Kreatif</li> <li>• Terampil menggunakan software</li> </ul>	4 x 50	[1] Bab 6 [2] Bab 2
7	<b>Evaluasi: Ujian Tengah Semester</b>					
8,9	<p>a) [C2] Mahasiswa akan mampu menjelaskan perbedaan antara latch dan flip-flop dengan tepat</p> <p>b) [C2] Mahasiswa akan mampu menjelaskan fungsi karakteristik latch (SR, D) dan flip-flop (D, T, dan JK) dengan tepat</p> <p>c) [C2] Mahasiswa akan mampu menjelaskan struktur dan fungsi register dan shift register</p>	Elemen rangkaian sekuensial: latch, flip-flop, dan register	<ul style="list-style-type: none"> <li>• Latch: set-reset (SR latch) dan data (D latch)</li> <li>• Flip-flop/FF: data (DFF), toggle (T-FF) dan JK flip-flop</li> <li>• Register dan shift register</li> </ul>	<ul style="list-style-type: none"> <li>• Berfikir kritis</li> <li>• Inisiatif</li> <li>• Apresiatif terhadap pendapat orang lain</li> </ul>	4 x 50	[1] Bab 7.1-7.6 [2] Bab 4.1
10	a) [C3] Mahasiswa akan dapat memprogram modul Verilog untuk flip-flop, latch, register dan register geser	HDL untuk elemen storage dan register	<ul style="list-style-type: none"> <li>• Modul flip-flop</li> <li>• Modul latch</li> <li>• Modul register</li> </ul>	<ul style="list-style-type: none"> <li>• Berfikir kritis</li> <li>• Inisiatif</li> <li>• Apresiatif terhadap</li> </ul>	2 x 50	[1] Bab 7.12-7.14

No.	Kompetensi Dasar Hardskill	Pokok Bahasan	Sub Pokok Bahasan	Kompetensi Softskill	Estimasi Waktu (menit)	Daftar Pustaka
	b) [C4] Mahasiswa akan dapat mensimulasikan modul-modul tersebut c) [C5] Mahasiswa akan dapat membuat modul-modul HDL tersintesis untuk counter dengan fungsi serupa dengan IC seri 74xx		<ul style="list-style-type: none"> <li>• Modul register geser</li> </ul>	pendapat orang lain <ul style="list-style-type: none"> <li>• Kreatif</li> <li>• Terampil</li> </ul>		
11, 12	a) [C3] Mahasiswa akan dapat menerapkan model-model FSM untuk mendesain rangkaian sekuensial sinkron berupa modul serial adder dan counter b) [C4] Mahasiswa akan dapat mensimulasikan modul-modul tersebut c) [C5] Mahasiswa akan dapat membuat modul-modul HDL tersintesis untuk register dan counter dengan fungsi serupa dengan IC seri 74xx	Desain Rangkaian Sekuensial Sinkron	<ul style="list-style-type: none"> <li>• FSM (Finite State Machine)</li> <li>• Model Moore dan Mealy</li> <li>• Desain FSM dengan HDL</li> <li>• Analisis</li> <li>• Counter: up dan down, asinkron dan sinkron, counter dengan paralel load</li> </ul>	<ul style="list-style-type: none"> <li>• Berfikir kritis</li> <li>• Inisiatif</li> <li>• Apresiatif terhadap pendapat orang lain</li> <li>• Kreatif</li> <li>• Terampil</li> </ul>	4 x 50	[1] Bab 7.8-7.11, 8 [2] Bab 4.2 [3]
13	a) [C2] Mahasiswa akan mampu menjelaskan perilaku rangkaian sekuensial asinkron b) [C4] Mahasiswa akan mampu mendesain rangkaian sekuensial asinkron c) [C5] Mahasiswa akan mampu menganalisis suatu rangkaian sekuensial asinkron	Desain Rangkaian Sekuensial Asinkron	<ul style="list-style-type: none"> <li>• Rangkaian sekuensial asinkron</li> <li>• Analisis</li> <li>• Sintesis</li> <li>• State reduction</li> <li>• State assignment</li> </ul>	<ul style="list-style-type: none"> <li>• Berfikir kritis</li> <li>• Inisiatif</li> <li>• Apresiatif terhadap pendapat orang lain</li> </ul>	2 x 50	[1] Bab 9
14	<b>Evaluasi: Ujian Akhir Semester</b>					

## SATUAN ACARA PENGAJARAN

Pembelajaran	: <b>Teknologi implementasi sistem digital</b> Teknologi CMOS, IC Seri 7400 dan PLD, Gerbang logika CMOS
Kode Mata Kuliah/ sks	: TKC305 / 2 SKS
<b>Waktu Pertemuan</b>	<b>: 2 x 50 menit</b>
Pertemuan ke	: 1

### Tujuan

#### 1. Standar kompetensi :

Mahasiswa akan mampu memahami secara komprehensif tentang teknologi implementasi sistem digital menggunakan IC TTL/CMOS 7400 dan PLD (programmable logic devices) berupa FPGA dan/atau CPLD.

#### 2. Kompetensi dasar :

1. [C2] Mahasiswa akan mampu menjelaskan konsep dan prinsip gerbang-gerbang logika CMOS dan rangkaian logikanya secara tepat;
2. [C3] Mahasiswa akan mampu menjelaskan dan memilih teknologi implementasi sistem digital secara tepat, mulai dari teknologi IC Seri 7400, PLD (programmable logic device) dan ASIC (application specific IC)
3. [C6] Mahasiswa akan mampu untuk merancang rangkaian logika CMOS yang optimal jika diberikan fungsi masukan-keluaran sistem

#### 3. Soft skill :

Berfikir kritis, inisiatif, berani mengemukakan pendapat, apresiatif terhadap pendapat orang lain

### Pokok Bahasan: Teknologi implementasi sistem digital

#### Sub Pokok Bahasan :

- Saklar transistor
- NMOS, PMOS dan CMOS
- Gerbang logika CMOS: NOT, AND, OR, NAND, NOR
- Tinjauan praktikal: asumsi dan disiplin dalam rangkaian digital
- IC seri 74xx, PLA, PAL, CPLD, FPGA, ASIC, standard-cell dan gate

#### Kegiatan Belajar Mengajar : (terlampir)

Tatap muka di kelas, presentasi materi (lecture notes) menggunakan laptop dan in-focus. Tanya jawab (diskusi) dilakukan saat penyampaian materi.

#### Evaluasi dan Kegiatan Terstruktur

- **Tugas #1** Teknologi implementasi sistem digital
  - Mahasiswa membuat tulisan tentang IC TTL/CMOS untuk logika NOT, AND, OR, NAND, NOR, XOR. Tulisan berisi nomor IC, deskripsi fungsi logika, pinout IC dan tabel fungsi logikanya
  - Mahasiswa membuat tulisan ringkas tentang CPLD, FPGA dan perbedaan keduanya

## Referensi

- (Bab 3.1-3.6) Stephen Brown and Zvonko Vranesic, Fundamentals of Digital Logic with Verilog/VHDL, 2nd Edition, McGraw-Hill, 2005

## Lampiran: Kegiatan Belajar Mengajar

Tahap Kegiatan	Kegiatan Pengajar	Kegiatan Mahasiswa	Alokasi waktu	Media dan Alat Pengajaran
Pendahuluan	<ul style="list-style-type: none"><li>Memberikan pengantar materi dan mengarahkan mahasiswa agar mempersiapkan diri menerima materi yang akan disampaikan</li></ul>	<ul style="list-style-type: none"><li>Memperhatikan</li></ul>	5'	Lecture notes, laptop, infocus
Penyajian	<ul style="list-style-type: none"><li>Menyajikan presentasi materi</li><li>Menyampaikan pertanyaan untuk membuka diskusi</li><li>Memperhatikan keterlibatan siswa di kelas dan keaktifan siswa</li></ul>	<ul style="list-style-type: none"><li>Memperhatikan</li><li>Memberikan respon terhadap pertanyaan-pertanyaan yang diajukan</li><li>mengemukakan ketidakpahaman terhadap materi yang disajikan</li></ul>	90'	Lecture notes, laptop, infocus, papan tulis
Penutup	<ul style="list-style-type: none"><li>Membuat kesimpulan materi yang disajikan</li><li>Mengingatkan mahasiswa untuk memperluas wawasan terhadap materi yang disajikan dengan banyak membaca</li><li>Mengingatkan mahasiswa untuk mempersiapkan untuk materi berikutnya</li></ul>	<ul style="list-style-type: none"><li>Memperhatikan dan menerima masukan-masukan dari dosen untuk memperoleh referensi</li></ul>	5'	Lecture notes, laptop, infocus

## SATUAN ACARA PENGAJARAN

Pembelajaran	: <b>IC Standar Seri-74xx</b> Metodologi desain sistem digital menggunakan IC seri 74xx, rangkaian digital dengan 74xx, tinjauan praktikal: asumsi dan disiplin dalam rangkaian digital
Kode Mata Kuliah/ sks	: TKC305 / 2 SKS
<b>Waktu Pertemuan</b>	: <b>2 x 50 menit</b>
Pertemuan ke	: 2

### Tujuan

#### 1. Standar kompetensi :

Setelah lulus mata kuliah ini, dengan pemahaman konsep sistem digital yang diperoleh mahasiswa akan mampu merancang dan menganalisis rangkaian digital menggunakan chip standar TTL/CMOS (seri 74xx)

#### 2. Kompetensi dasar :

1. [C3] Mahasiswa akan dapat menerapkan metodologi untuk mengembangkan sistem digital menggunakan IC seri 74xx;
2. [C3] Mahasiswa akan mampu menjelaskan dan mengaplikasikan asumsi dan disiplin dalam perancangan sistem digital saat implementasi secara fisik;
3. [C5] Mahasiswa akan mampu memilih IC TTL/CMOS seri 7400 untuk mengimplementasikan desain rangkaian digital secara tepat jika diberikan suatu kebutuhan desain

#### 3. Soft skill :

Berfikir kritis, inisiatif, berani mengemukakan pendapat, apresiatif terhadap pendapat orang lain

### Pokok Bahasan: IC Standar Seri-74xx

#### Sub Pokok Bahasan :

- Metodologi desain sistem digital menggunakan IC seri 74xx
- Rangkaian IC 74xx
- Tinjauan praktikal: asumsi dan disiplin dalam rangkaian digital

#### Kegiatan Belajar Mengajar : (terlampir)

Tatap muka di kelas, presentasi materi (lecture notes) menggunakan laptop dan infocus. Latihan mengerjakan soal di papan tulis. Tanya jawab (diskusi) dilakukan saat penyampaian materi.

#### Evaluasi dan Kegiatan Terstruktur

- **Tugas #2** Rangkaian IC TTL/CMOS 74xx
  - Mahasiswa mendesain rangkaian 74xx untuk suatu fungsi logika
  - Mahasiswa mengevaluasi bahwa disiplin rangkaian telah terpenuhi dari asumsi yang dibuatnya

## Referensi

- (Bab 3.5) Stephen Brown and Zvonko Vranesic, Fundamentals of Digital Logic with Verilog/VHDL, 2nd Edition, McGraw-Hill, 2005
- (Bab 6.1-6.2) Peter J. Ashenden, Digital Design: An Embedded Systems Approach Using Verilog/VHDL, Morgan Kaufmann, 2008
- Website: Wikipedia 7400 Series, [http://en.wikipedia.org/wiki/7400\\_series](http://en.wikipedia.org/wiki/7400_series)

## Lampiran: Kegiatan Belajar Mengajar

Tahap Kegiatan	Kegiatan Pengajar	Kegiatan Mahasiswa	Alokasi waktu	Media dan Alat Pengajaran
Pendahuluan	<ul style="list-style-type: none"> <li>○ Memberikan pengantar materi dan mengarahkan mahasiswa agar mempersiapkan diri menerima materi yang akan disampaikan</li> </ul>	<ul style="list-style-type: none"> <li>○ Pra-kuliah: mendownload dan mempelajari materi lecture note dari dosen</li> <li>○ Memperhatikan</li> </ul>	5'	Lecture notes, laptop, infocus
Penyajian	<ul style="list-style-type: none"> <li>○ Menyajikan presentasi materi</li> <li>○ Menyelesaikan contoh soal di papan tulis bersama mahasiswa</li> <li>○ Menyampaikan pertanyaan untuk membuka diskusi</li> <li>○ Memperhatikan keterlibatan siswa di kelas dan keaktifan siswa</li> </ul>	<ul style="list-style-type: none"> <li>○ Memperhatikan</li> <li>○ Ikut menyelesaikan contoh soal di papan tulis dipandu oleh dosen</li> <li>○ Memberikan respon terhadap pertanyaan-pertanyaan yang diajukan</li> <li>○ mengemukakan ketidakpahaman terhadap materi yang disajikan</li> </ul>	90'	Lecture notes, laptop, infocus, papan tulis
Penutup	<ul style="list-style-type: none"> <li>○ Membuat kesimpulan materi yang disajikan</li> <li>○ Mengingatkan mahasiswa untuk memperluas wawasan terhadap materi yang disajikan dengan banyak membaca</li> <li>○ Mengingatkan mahasiswa untuk mempersiapkan untuk materi berikutnya</li> </ul>	<ul style="list-style-type: none"> <li>○ Memperhatikan dan menerima masukan-masukan dari dosen untuk memperoleh referensi</li> </ul>	5'	Lecture notes, laptop, infocus

## SATUAN ACARA PENGAJARAN

Pembelajaran	:	<b>Programmable Logic Device (PLD) dan Hardware Description Language (HDL)</b> Metodologi desain sistem digital menggunakan PLD (Xilinx FPGA), IDE Xilinx ISE Webpack, pengantar HDL: Verilog dan VHDL
Kode Mata Kuliah/ sks	:	TKC305 / 2 SKS
<b>Waktu Pertemuan</b>	:	<b>2 x 50 menit</b>
Pertemuan ke	:	3

### Tujuan

#### 1. Standar kompetensi :

Setelah lulus mata kuliah ini, dengan pemahaman konsep sistem digital yang diperoleh mahasiswa akan mampu merancang dan menganalisis rangkaian digital menggunakan HDL Verilog di atas FPGA;

#### 2. Kompetensi dasar :

1. [C3] Mahasiswa akan dapat menerapkan metodologi untuk mengembangkan sistem digital menggunakan device FPGA jika diberikan suatu kebutuhan rancangan sistem digital;
2. [C3] Mahasiswa akan dapat menggunakan program Xilinx ISE Webpack untuk merancang sistem digital dengan benar;
3. [C2] Mahasiswa akan dapat membedakan HDL dengan bahasa pemrograman lainnya;

#### 3. Soft skill :

Berfikir kritis, inisiatif, berani mengemukakan pendapat, apresiatif terhadap pendapat orang lain, terampil menggunakan software

### **Pokok Bahasan: Programmable Logic Device (PLD) dan Hardware Description Language (HDL)**

#### **Sub Pokok Bahasan :**

- Metodologi desain sistem digital menggunakan PLD (Xilinx FPGA) dan Xilinx ISE Webpack
- IDE Xilinx ISE Webpack
- Pengantar HDL: Verilog dan VHDL

#### **Kegiatan Belajar Mengajar : (terlampir)**

Tatap muka di kelas, presentasi materi (*lecture notes*) menggunakan laptop dan in-focus. Latihan mengerjakan soal di papan tulis. Tanya jawab (diskusi) dilakukan saat penyampaian materi.

#### **Evaluasi dan Kegiatan Terstruktur**

- Tugas #3 Instalasi Xilinx ISE Webpack dan simulator
  - Mahasiswa mendesain, mensimulasikan dan mensintesis desain ke FPGA

- Mahasiswa menulis setiap tahapan metodologi desain PLD tersebut

### Referensi

- **(Bab 10)** Peter J. Ashenden, Digital Design: An Embedded Systems Approach Using Verilog, Morgan Kaufmann, 2008
- Website: Verilog Tutorial, <http://www.asic-world.com/verilog/veritut.html>
- UG230: Spartan-3E FPGA Starter Kit Board User Guide, Xilinx, June 2008
- DS312: Spartan-3E FPGA Family Data Sheet, Xilinx, August 2009
- Spartan-3E Starter Board Schematic, Digilent, Feb 2006
- Xilinx ISE Design Suite 11 Software Manual, Xilinx, 2009

### Lampiran D. Kegiatan Belajar Mengajar

Tahap Kegiatan	Kegiatan Pengajar	Kegiatan Mahasiswa	Alokasi waktu	Media dan Alat Pengajaran
Pendahuluan	<ul style="list-style-type: none"> <li>○ Memberikan pengantar materi dan mengarahkan mahasiswa agar mempersiapkan diri menerima materi yang akan disampaikan</li> </ul>	<ul style="list-style-type: none"> <li>○ Pra-kuliah: mendownload dan mempelajari materi lecture note dari dosen</li> <li>○ Memperhatikan</li> </ul>	5'	Lecture notes, laptop, infocus
Penyajian	<ul style="list-style-type: none"> <li>○ Menyajikan presentasi materi</li> <li>○ Menyelesaikan contoh soal di papan tulis bersama mahasiswa</li> <li>○ Menyampaikan pertanyaan untuk membuka diskusi</li> <li>○ Memperhatikan keterlibatan siswa di kelas dan keaktifan siswa</li> </ul>	<ul style="list-style-type: none"> <li>○ Memperhatikan</li> <li>○ Ikut menyelesaikan contoh soal di papan tulis dipandu oleh dosen</li> <li>○ Memberikan respon terhadap pertanyaan-pertanyaan yang diajukan</li> <li>○ mengemukakan ketidakpahaman terhadap materi yang disajikan</li> </ul>	90'	Lecture notes, laptop, infocus, papan tulis
Penutup	<ul style="list-style-type: none"> <li>○ Membuat kesimpulan materi yang disajikan</li> <li>○ Mengingatkan mahasiswa untuk memperluas wawasan terhadap materi yang disajikan dengan banyak membaca</li> <li>○ Mengingatkan mahasiswa untuk mempersiapkan untuk materi berikutnya</li> </ul>	<ul style="list-style-type: none"> <li>○ Memperhatikan dan menerima masukan-masukan dari dosen untuk memperoleh referensi</li> </ul>	5'	Lecture notes, laptop, infocus

## SATUAN ACARA PENGAJARAN

Pembelajaran	: <b>Dasar-dasar Pemrograman Verilog</b> Sintaks dan semantik, gate-level modelling, primitive operator, model behavior, fungsi dan task, serta simulasi dan testbench
Kode Mata Kuliah/ sks	: TKC305 / 2 SKS
<b>Waktu Pertemuan</b>	: <b>2 x 50 menit</b>
Pertemuan ke	: 4

### Tujuan

#### 1. Standar kompetensi :

Setelah lulus mata kuliah ini, dengan pemahaman konsep sistem digital yang diperoleh mahasiswa akan mampu merancang dan menganalisis rangkaian digital menggunakan HDL Verilog di atas FPGA;

#### 2. Kompetensi dasar :

1. [C3] Mahasiswa akan dapat menggunakan sintaks-sintaks HDL Verilog dengan benar untuk membuat program HDL untuk suatu problem desain sistem digital sederhana
2. [C3] Mahasiswa akan dapat menuliskan modul testbench untuk menguji modul yang didesain secara fungsional
3. [C6] Mahasiswa akan mampu mengevaluasi desainnya dari diagram pewaktuan yang didapatkannya serta perilaku keluaran sistem dari masukan yang diberikan

#### 3. Soft skill :

Berfikir kritis, inisiatif, berani mengemukakan pendapat, apresiatif terhadap pendapat orang lain, terampil menggunakan software

### **Pokok Bahasan: Dasar-dasar Pemrograman Verilog**

#### **Sub Pokok Bahasan :**

- Sintaks dan semantik
- Gate-level modelling
- Primitive
- Operator
- Model behavior
- Fungsi dan task
- Simulasi dan testbench

#### **Kegiatan Belajar Mengajar : (terlampir)**

Tatap muka di kelas, presentasi materi (*lecture notes*) menggunakan laptop dan in-focus. Latihan mengerjakan soal di papan tulis. Tanya jawab (diskusi) dilakukan saat penyampaian materi.

#### **Evaluasi dan Kegiatan Terstruktur**

- Tugas #4 Pemrograman verilog

- Mahasiswa mendesain, mensimulasikan dan mensintesis suatu desain ke FPGA menggunakan sintaks-sintaks verilog

### Referensi

- (Bab 2.1) Peter J. Ashenden, Digital Design: An Embedded Systems Approach Using Verilog/VHDL, Morgan Kaufmann, 2008
- Website: Verilog Tutorial, <http://www.asic-world.com/verilog/veritut.html>

### Lampiran D. Kegiatan Belajar Mengajar

Tahap Kegiatan	Kegiatan Pengajar	Kegiatan Mahasiswa	Alokasi waktu	Media dan Alat Pengajaran
Pendahuluan	<ul style="list-style-type: none"> <li>○ Memberikan pengantar materi dan mengarahkan mahasiswa agar mempersiapkan diri menerima materi yang akan disampaikan</li> </ul>	<ul style="list-style-type: none"> <li>○ Pra-kuliah: mendownload dan mempelajari materi lecture note dari dosen</li> <li>○ Memperhatikan</li> </ul>	5'	Lecture notes, laptop, infocus
Penyajian	<ul style="list-style-type: none"> <li>○ Menyajikan presentasi materi</li> <li>○ Menyelesaikan contoh soal di papan tulis bersama mahasiswa</li> <li>○ Menyampaikan pertanyaan untuk membuka diskusi</li> <li>○ Memperhatikan keterlibatan siswa di kelas dan keaktifan siswa</li> </ul>	<ul style="list-style-type: none"> <li>○ Memperhatikan</li> <li>○ Ikut menyelesaikan contoh soal di papan tulis dipandu oleh dosen</li> <li>○ Memberikan respon terhadap pertanyaan-pertanyaan yang diajukan</li> <li>○ mengemukakan ketidakpahaman terhadap materi yang disajikan</li> </ul>	90'	Lecture notes, laptop, infocus, papan tulis
Penutup	<ul style="list-style-type: none"> <li>○ Membuat kesimpulan materi yang disajikan</li> <li>○ Mengingatkan mahasiswa untuk memperluas wawasan terhadap materi yang disajikan dengan banyak membaca</li> <li>○ Mengingatkan mahasiswa untuk mempersiapkan untuk materi berikutnya</li> </ul>	<ul style="list-style-type: none"> <li>○ Memperhatikan dan menerima masukan-masukan dari dosen untuk memperoleh referensi</li> </ul>	5'	Lecture notes, laptop, infocus

## SATUAN ACARA PENGAJARAN

Pembelajaran	: <b>HDL untuk elemen rangkaian kombinasional</b> Pemrograman Verilog untuk multiplekser 4-ke-1, 16-ke-1, enkoder biner 4-ke-2, enkoder prioritas, dekoder/demultiplekser 3-ke-8, dekoder BCD/hex ke 7-segmen
Kode Mata Kuliah/ sks	: TKC305 / 2 SKS
Waktu Pertemuan	: 4 x 50 menit
Pertemuan ke	: <b>5,6</b>

### Tujuan

#### 1. Standar kompetensi :

Setelah lulus mata kuliah ini, dengan pemahaman konsep sistem digital yang diperoleh mahasiswa akan mampu merancang dan menganalisis rangkaian digital menggunakan chip standar TTL/CMOS (seri 74xx) dan HDL Verilog di atas FPGA;

#### 2. Kompetensi dasar :

1. [C3] Mahasiswa akan mampu memprogram HDL Verilog untuk elemen-elemen rangkaian kombinasional dengan tepat (dapat tersintesis)
2. [C4] Mahasiswa akan mampu mensimulasikan dan menganalisis desain HDL rangkaian tersebut
3. [C5] Mahasiswa akan mampu mensintesis desain rangkaian kombinasional dengan fungsi serupa IC seri 74xx untuk FPGA Xilinx
4. [C6] Mahasiswa akan mampu mengevaluasi desain rangkaian tersebut

#### 3. Soft skill :

Berfikir kritis, inisiatif, berani mengemukakan pendapat, apresiatif terhadap pendapat orang lain

### Pokok Bahasan: HDL untuk elemen rangkaian kombinasional

#### Sub Pokok Bahasan :

- Multiplekser 4-ke-1, 16-ke-1
- Enkoder biner 4-ke-2, enkoder prioritas
- Dekoder/demultiplekser 3-ke-8
- Dekoder BCD/hex ke 7-segmen

#### Kegiatan Belajar Mengajar : (terlampir)

Tatap muka di kelas, presentasi materi (*lecture notes*) menggunakan laptop dan in-focus. Latihan mengerjakan soal di papan tulis. Tanya jawab (diskusi) dilakukan saat penyampaian materi.

#### Evaluasi dan Kegiatan Terstruktur

- Tugas #5 Pemrograman verilog
  - Mahasiswa mendesain, mensimulasikan dan mensintesis desain elemen-elemen rangkaian kombinasional ke FPGA menggunakan sintaks-sintaks verilog

## Referensi

- (Bab 6) Stephen Brown and Zvonko Vranesic, Fundamentals of Digital Logic with Verilog/VHDL, 2nd Edition, McGraw-Hill, 2005
- (Bab 2) Peter J. Ashenden, Digital Design: An Embedded Systems Approach Using Verilog/VHDL, Morgan Kaufmann, 2008

## Lampiran D. Kegiatan Belajar Mengajar

Tahap Kegiatan	Kegiatan Pengajar	Kegiatan Mahasiswa	Alokasi waktu	Media dan Alat Pengajaran
Pendahuluan	<ul style="list-style-type: none"> <li>○ Memberikan pengantar materi dan mengarahkan mahasiswa agar mempersiapkan diri menerima materi yang akan disampaikan</li> </ul>	<ul style="list-style-type: none"> <li>○ Pra-kuliah: mendownload dan mempelajari materi lecture note dari dosen</li> <li>○ Memperhatikan</li> </ul>	5'	Lecture notes, laptop, infocus
Penyajian	<ul style="list-style-type: none"> <li>○ Menyajikan presentasi materi</li> <li>○ Menyelesaikan contoh soal di papan tulis bersama mahasiswa</li> <li>○ Menyampaikan pertanyaan untuk membuka diskusi</li> <li>○ Memperhatikan keterlibatan siswa di kelas dan keaktifan siswa</li> </ul>	<ul style="list-style-type: none"> <li>○ Memperhatikan</li> <li>○ Ikut menyelesaikan contoh soal di papan tulis dipandu oleh dosen</li> <li>○ Memberikan respon terhadap pertanyaan-pertanyaan yang diajukan</li> <li>○ mengemukakan ketidakpahaman terhadap materi yang disajikan</li> </ul>	90'	Lecture notes, laptop, infocus, papan tulis
Penutup	<ul style="list-style-type: none"> <li>○ Membuat kesimpulan materi yang disajikan</li> <li>○ Mengingatkan mahasiswa untuk memperluas wawasan terhadap materi yang disajikan dengan banyak membaca</li> <li>○ Mengingatkan mahasiswa untuk mempersiapkan untuk materi berikutnya</li> </ul>	<ul style="list-style-type: none"> <li>○ Memperhatikan dan menerima masukan-masukan dari dosen untuk memperoleh referensi</li> </ul>	5'	Lecture notes, laptop, infocus

## SATUAN ACARA PENGAJARAN

Pembelajaran	: <b>Elemen rangkaian sekuensial: latch, flip-flop dan register</b> Elemen rangkaian sekuensial berupa latch: set-reset (SR latch) dan data (D latch), serta flip-flop/FF: data (DFF), toggle (T-FF) dan JK flip-flop, register, register geser
Kode Mata Kuliah/ sks	: TKC305 / 2 SKS
Waktu Pertemuan	: 4 x 50 menit
Pertemuan ke	: 7,8

### Tujuan

#### 1. Standar kompetensi :

Setelah lulus mata kuliah ini, dengan pemahaman konsep sistem digital yang diperoleh mahasiswa akan mampu merancang dan menganalisis rangkaian digital menggunakan chip standar TTL/CMOS (seri 74xx) dan FPGA;

#### 2. Kompetensi dasar :

1. [C2] Mahasiswa akan mampu menjelaskan perbedaan antara latch dan flip-flop dengan tepat
2. [C2] Mahasiswa akan mampu menjelaskan fungsi karakteristik latch (SR, D) dan flip-flop (D, T, dan JK) dengan tepat
3. [C2] Mahasiswa akan mampu menjelaskan struktur dan fungsi register dan shift register

#### 3. Soft skill :

Berfikir kritis, inisiatif, berani mengemukakan pendapat, apresiatif terhadap pendapat orang lain

### Pokok Bahasan: Latch, flip-flop dan register

#### Sub Pokok Bahasan :

- Latch: set-reset (SR latch) dan data (D latch)
- Flip-flop/FF: data (DFF), toggle (T-FF) dan JK flip-flop
- Register dan shift register

#### Kegiatan Belajar Mengajar : (terlampir)

Tatap muka di kelas, presentasi materi (*lecture notes*) menggunakan laptop dan in-focus. Latihan mengerjakan soal di papan tulis. Tanya jawab (diskusi) dilakukan saat penyampaian materi.

#### Evaluasi dan Kegiatan Terstruktur

- Tugas #6: Elemen rangkaian sekuensial
  - Mahasiswa mencari dan meringkas prinsip kerja IC TTL 74xx berupa latch SR latch, D latch, data flip-flop, toggle flip-flop, JK flip-flop dan shift register

#### Referensi

- **(Bab 7.1-7.6)** Stephen Brown and Zvonko Vranesic, *Fundamentals of Digital Logic with Verilog/VHDL*, 2nd Edition, McGraw-Hill, 2005

- **(Bab 2)** Peter J. Ashenden, Digital Design: An Embedded Systems Approach Using Verilog/VHDL, Morgan Kaufmann, 2008

### Lampiran D. Kegiatan Belajar Mengajar

Tahap Kegiatan	Kegiatan Pengajar	Kegiatan Mahasiswa	Alokasi waktu	Media dan Alat Pengajaran
Pendahuluan	<ul style="list-style-type: none"> <li>○ Memberikan pengantar materi dan mengarahkan mahasiswa agar mempersiapkan diri menerima materi yang akan disampaikan</li> </ul>	<ul style="list-style-type: none"> <li>○ Pra-kuliah: mendownload dan mempelajari materi lecture note dari dosen</li> <li>○ Memperhatikan</li> </ul>	5'	Lecture notes, laptop, infocus
Penyajian	<ul style="list-style-type: none"> <li>○ Menyajikan presentasi materi</li> <li>○ Menyelesaikan contoh soal di papan tulis bersama mahasiswa</li> <li>○ Menyampaikan pertanyaan untuk membuka diskusi</li> <li>○ Memperhatikan keterlibatan siswa di kelas dan keaktifan siswa</li> </ul>	<ul style="list-style-type: none"> <li>○ Memperhatikan</li> <li>○ Ikut menyelesaikan contoh soal di papan tulis dipandu oleh dosen</li> <li>○ Memberikan respon terhadap pertanyaan-pertanyaan yang diajukan</li> <li>○ mengemukakan ketidakpahaman terhadap materi yang disajikan</li> </ul>	90'	Lecture notes, laptop, infocus, papan tulis
Penutup	<ul style="list-style-type: none"> <li>○ Membuat kesimpulan materi yang disajikan</li> <li>○ Mengingatkan mahasiswa untuk memperluas wawasan terhadap materi yang disajikan dengan banyak membaca</li> <li>○ Mengingatkan mahasiswa untuk mempersiapkan untuk materi berikutnya</li> </ul>	<ul style="list-style-type: none"> <li>○ Memperhatikan dan menerima masukan-masukan dari dosen untuk memperoleh referensi</li> </ul>	5'	Lecture notes, laptop, infocus

## SATUAN ACARA PENGAJARAN

Pembelajaran	: <b>HDL untuk elemen storage dan register</b> Modul HDL: flip-flop, latch, register, dan shift register
Kode Mata Kuliah/ sks	: TKC305 / 2 SKS
Waktu Pertemuan	: 2 x 50 menit
Pertemuan ke	: <b>9</b>

### Tujuan

#### 1. Standar kompetensi :

Setelah lulus mata kuliah ini, dengan pemahaman konsep sistem digital yang diperoleh mahasiswa akan mampu merancang dan menganalisis rangkaian digital menggunakan chip standar TTL/CMOS (seri 74xx) dan FPGA;

#### 2. Kompetensi dasar :

- a) [C3] Mahasiswa akan dapat memprogram modul Verilog untuk flip-flop, latch, register dan register geser
- b) [C4] Mahasiswa akan dapat mensimulasikan modul-modul tersebut
- c) [C5] Mahasiswa akan dapat membuat modul-modul HDL tersintesis untuk register dan counter dengan fungsi serupa dengan IC seri 74xx

#### 3. Soft skill :

Berfikir kritis, inisiatif, berani mengemukakan pendapat, apresiatif terhadap pendapat orang lain, kreatif

### Pokok Bahasan: Register dan Counter

#### Sub Pokok Bahasan :

- Modul flip-flop: DFF, TFF dan JK-FF
- Modul latch: SR latch, D Latch
- Modul register
- Modul register geser

#### Kegiatan Belajar Mengajar : (terlampir)

Tatap muka di kelas, presentasi materi (*lecture notes*) menggunakan laptop dan in-focus. Latihan mengerjakan soal di papan tulis. Tanya jawab (diskusi) dilakukan saat penyampaian materi.

#### Evaluasi

- Tugas #7 Modul HDL untuk elemen sekuensial
  - Mahasiswa mendesain, mensimulasikan dan mensintesis desain modul-modul DFF, TFF, JKFF, SR latch, D latch, register dan register ke FPGA menggunakan sintaks-sintaks verilog

#### Referensi

- (**Bab 7.8-7.14**) Stephen Brown and Zvonko Vranesic, Fundamentals of Digital Logic with Verilog/VHDL, 2nd Edition, McGraw-Hill, 2005
- (**Bab 4.2**) Peter J. Ashenden, Digital Design: An Embedded Systems Approach Using

**Lampiran D. Kegiatan Belajar Mengajar**

<b>Tahap Kegiatan</b>	<b>Kegiatan Pengajar</b>	<b>Kegiatan Mahasiswa</b>	<b>Alokasi waktu</b>	<b>Media dan Alat Pengajaran</b>
Pendahuluan	<ul style="list-style-type: none"> <li>○ Memberikan pengantar materi dan mengarahkan mahasiswa agar mempersiapkan diri menerima materi yang akan disampaikan</li> </ul>	<ul style="list-style-type: none"> <li>○ Pra-kuliah: mendownload dan mempelajari materi lecture note dari dosen</li> <li>○ Memperhatikan</li> </ul>	5'	Lecture notes, laptop, infocus
Penyajian	<ul style="list-style-type: none"> <li>○ Menyajikan presentasi materi</li> <li>○ Menyelesaikan contoh soal di papan tulis bersama mahasiswa</li> <li>○ Menyampaikan pertanyaan untuk membuka diskusi</li> <li>○ Memperhatikan keterlibatan siswa di kelas dan keaktifan siswa</li> </ul>	<ul style="list-style-type: none"> <li>○ Memperhatikan</li> <li>○ Ikut menyelesaikan contoh soal di papan tulis dipandu oleh dosen</li> <li>○ Memberikan respon terhadap pertanyaan-pertanyaan yang diajukan</li> <li>○ mengemukakan ketidakpahaman terhadap materi yang disajikan</li> </ul>	90'	Lecture notes, laptop, infocus, papan tulis
Penutup	<ul style="list-style-type: none"> <li>○ Membuat kesimpulan materi yang disajikan</li> <li>○ Mengingatkan mahasiswa untuk memperluas wawasan terhadap materi yang disajikan dengan banyak membaca</li> <li>○ Mengingatkan mahasiswa untuk mempersiapkan untuk materi berikutnya</li> </ul>	<ul style="list-style-type: none"> <li>○ Memperhatikan dan menerima masukan-masukan dari dosen untuk memperoleh referensi</li> </ul>	5'	Lecture notes, laptop, infocus

## SATUAN ACARA PENGAJARAN

Pembelajaran	: <b>Desain Rangkaian Sekuensial Sinkron</b> FSM (Finite State Machine), model Moore dan Mealy, desain FSM dengan HDL, dan analisis rangkaianannya, desain counter: up dan down, asinkron dan sinkron, counter dengan paralel load
Kode Mata Kuliah/ sks	: TKC305 / 2 SKS
Waktu Pertemuan	: 4 x 50 menit
Pertemuan ke	: <b>10,11</b>

### Tujuan

#### 1. Standar kompetensi :

Setelah lulus mata kuliah ini, mahasiswa akan mampu merancang dan menganalisis rangkaian sekuensial sinkron menggunakan FPGA Xilinx

#### 2. Kompetensi dasar :

1. [C3] Mahasiswa akan dapat menerapkan model-model FSM untuk mendesain rangkaian sekuensial sinkron berupa modul serial adder dan counter
2. [C4] Mahasiswa akan dapat mensimulasikan modul-modul tersebut
3. [C5] Mahasiswa akan dapat membuat modul-modul HDL tersintesis untuk counter dengan fungsi serupa dengan IC seri 74xx

#### 3. Soft skill :

Berfikir kritis, inisiatif, berani mengemukakan pendapat, apresiatif terhadap pendapat orang lain, kreatif, terampil

### Pokok Bahasan: Desain Rangkaian Sekuensial Sinkron

#### Sub Pokok Bahasan:

- FSM (Finite State Machine)
- Model Moore dan Mealy
- Desain FSM dengan HDL
- Analisis
- Counter: up dan down, asinkron dan sinkron, counter dengan paralel load

#### Kegiatan Belajar Mengajar: (terlampir)

Tatap muka di kelas, presentasi materi (*lecture notes*) menggunakan laptop dan infocus. Latihan mengerjakan soal di papan tulis. Tanya jawab (diskusi) dilakukan saat penyampaian materi.

#### Evaluasi

- Tugas #8: Desain rangkaian sekuensial sinkron
  - Mahasiswa mendesain, mensimulasikan dan mensintesis pencacah up-down, sinkron, asinkron dan dengan paralel load ke FPGA menggunakan verilog

#### Referensi

- **(Bab 8)** Stephen Brown and Zvonko Vranesic, Fundamentals of Digital Logic with

Verilog/VHDL, 2nd Edition, McGraw-Hill, 2005

□ Website: Verilog Tutorial, <http://www.asic-world.com/verilog/veritut.html>

#### Lampiran D. Kegiatan Belajar Mengajar

Tahap Kegiatan	Kegiatan Pengajar	Kegiatan Mahasiswa	Alokasi waktu	Media dan Alat Pengajaran
Pendahuluan	<ul style="list-style-type: none"><li>Memberikan pengantar materi dan mengarahkan mahasiswa agar mempersiapkan diri menerima materi yang akan disampaikan</li></ul>	<ul style="list-style-type: none"><li>Pra-kuliah: mendownload dan mempelajari materi lecture note dari dosen</li><li>Memperhatikan</li></ul>	5'	Lecture notes, laptop, infocus
Penyajian	<ul style="list-style-type: none"><li>Menyajikan presentasi materi</li><li>Menyelesaikan contoh soal di papan tulis bersama mahasiswa</li><li>Menyampaikan pertanyaan untuk membuka diskusi</li><li>Memperhatikan keterlibatan siswa di kelas dan keaktifan siswa</li></ul>	<ul style="list-style-type: none"><li>Memperhatikan</li><li>Ikut menyelesaikan contoh soal di papan tulis dipandu oleh dosen</li><li>Memberikan respon terhadap pertanyaan-pertanyaan yang diajukan</li><li>mengemukakan ketidakpahaman terhadap materi yang disajikan</li></ul>	90'	Lecture notes, laptop, infocus, papan tulis
Penutup	<ul style="list-style-type: none"><li>Membuat kesimpulan materi yang disajikan</li><li>Mengingatkan mahasiswa untuk memperluas wawasan terhadap materi yang disajikan dengan banyak membaca</li><li>Mengingatkan mahasiswa untuk mempersiapkan untuk materi berikutnya</li></ul>	<ul style="list-style-type: none"><li>Memperhatikan dan menerima masukan-masukan dari dosen untuk memperoleh referensi</li></ul>	5'	Lecture notes, laptop, infocus

## SATUAN ACARA PENGAJARAN

Pembelajaran	: <b>Desain Rangkaian Sekuensial Asinkron</b> Analisis dan sintesis rangkaian sekuensial asinkron, state reduction, state assignment
Kode Mata Kuliah/ sks	: TKC305 / 2 SKS
Waktu Pertemuan	: 2 x 50 menit
Pertemuan ke	: <b>12</b>

### Tujuan

#### 1. Standar kompetensi :

Setelah lulus mata kuliah ini, mahasiswa akan mampu merancang dan menganalisis rangkaian sekuensial sinkron menggunakan menggunakan HDL Verilog di atas FPGA;

#### 2. Kompetensi dasar :

1. [C2] Mahasiswa akan mampu menjelaskan perilaku rangkaian sekuensial asinkron
2. [C4] Mahasiswa akan mampu mendesain rangkaian sekuensial asinkron
3. [C5] Mahasiswa akan mampu menganalisis suatu rangkaian sekuensial asinkron

#### 3. Soft skill :

Berfikir kritis, inisiatif, berani mengemukakan pendapat, apresiatif terhadap pendapat orang lain

### Pokok Bahasan: Desain Rangkaian Sekuensial Asinkron

#### Sub Pokok Bahasan :

- Rangkaian sekuensial asinkron
- Analisis
- Sintesis
- State reduction
- State assignment

#### Kegiatan Belajar Mengajar : (terlampir)

Tatap muka di kelas, presentasi materi (*lecture notes*) menggunakan laptop dan in-focus. Latihan mengerjakan soal di papan tulis. Tanya jawab (diskusi) dilakukan saat penyampaian materi.

#### Evaluasi

- Tugas #9 Desain rangkaian sekuensial asinkron
  - Mahasiswa mendesain, mensimulasikan dan mensintesis rangkaian sekuensial asinkron ke FPGA menggunakan sintaks verilog

#### Referensi

- **(Bab 9)** Stephen Brown and Zvonko Vranesic, Fundamentals of Digital Logic with Verilog/VHDL, 2nd Edition, McGraw-Hill, 2005

## Lampiran D. Kegiatan Belajar Mengajar

Tahap Kegiatan	Kegiatan Pengajar	Kegiatan Mahasiswa	Alokasi waktu	Media dan Alat Pengajaran
Pendahuluan	<ul style="list-style-type: none"> <li>○ Memberikan pengantar materi dan mengarahkan mahasiswa agar mempersiapkan diri menerima materi yang akan disampaikan</li> </ul>	<ul style="list-style-type: none"> <li>○ Pra-kuliah: mendownload dan mempelajari materi lecture note dari dosen</li> <li>○ Memperhatikan</li> </ul>	5'	Lecture notes, laptop, infocus
Penyajian	<ul style="list-style-type: none"> <li>○ Menyajikan presentasi materi</li> <li>○ Menyelesaikan contoh soal di papan tulis bersama mahasiswa</li> <li>○ Menyampaikan pertanyaan untuk membuka diskusi</li> <li>○ Memperhatikan keterlibatan siswa di kelas dan keaktifan siswa</li> </ul>	<ul style="list-style-type: none"> <li>○ Memperhatikan</li> <li>○ Ikut menyelesaikan contoh soal di papan tulis dipandu oleh dosen</li> <li>○ Memberikan respon terhadap pertanyaan-pertanyaan yang diajukan</li> <li>○ mengemukakan ketidakpahaman terhadap materi yang disajikan</li> </ul>	90'	Lecture notes, laptop, infocus, papan tulis
Penutup	<ul style="list-style-type: none"> <li>○ Membuat kesimpulan materi yang disajikan</li> <li>○ Mengingatkan mahasiswa untuk memperluas wawasan terhadap materi yang disajikan dengan banyak membaca</li> <li>○ Mengingatkan mahasiswa untuk mempersiapkan untuk materi berikutnya</li> </ul>	<ul style="list-style-type: none"> <li>○ Memperhatikan dan menerima masukan-masukan dari dosen untuk memperoleh referensi</li> </ul>	5'	Lecture notes, laptop, infocus