

KONTRAK PEMBELAJARAN (KP)



MATA KULIAH

Kode MK: TKC305
Program Studi Sistem Komputer
Fakultas Teknik
Universitas Diponegoro

Pengajar : Eko Didik Widiyanto, ST, MT
Semester : 5

KONTRAK PEMBELAJARAN

Nama Mata Kuliah	: Sistem Digital Lanjut
Kode Mata Kuliah/ SKS	: TKC305 / 2 SKS
Dosen	: Eko Didik Widiyanto, ST, MT
Semester	: 5
Hari/Waktu Pertemuan	: a) Selasa jam 07.00 – 08.40 (Kelas A) b) Senin, jam 07.00 – 08.40 (Kelas B)
Tempat Pertemuan	: a) Ruang D304 b) Ruang D205

1. Manfaat Pembelajaran

Kuliah ini memberikan pembelajaran pada mahasiswa tentang desain dan implementasi rangkaian kombinasional dan sekuensial tersebut menggunakan teknologi chip standar TTL (dan CMOS) dan teknologi device terprogram (CPLD/FPGA) berbasis Xilinx. Bahasa HDL (Hardware Description Language) yang digunakan untuk merancang sistem digital terprogram adalah Verilog.

Mata kuliah yang berkaitan adalah TSK-305 (Teknik Mikroprosesor) dan TSK-307 (Organisasi Komputer). TKC305 juga akan menjadi prasyarat untuk kuliah pilihan TKC405 Desain Sistem VLSI.

2. Deskripsi Pembelajaran

TKC305 Sistem Digital Lanjut ini merupakan mata kuliah lanjutan setelah TSK-205 Sistem Digital di jurusan Sistem Komputer. Sebelumnya mata kuliah ini mempunyai kode TSK-505 dan ditujukan untuk mahasiswa tingkat tiga. Di TSK-205, mahasiswa telah mempelajari dasar-dasar sistem digital mulai dari konsep, aljabar Boolean, analisis dan sintesis rangkaian logika, rangkaian logika minimal, teknologi implementasi dengan CMOS dan mengimplementasikannya menggunakan chip standar TTL (dan CMOS), representasi bilangan dan operasi aritmetika, blok rangkaian kombinasional, rangkaian sekuensial: latch, flip-flop, register dan counter.

Di TSK-505, mahasiswa akan belajar tentang desain dan implementasi rangkaian kombinasional dan sekuensial tersebut menggunakan chip standar TTL (dan CMOS) untuk rangkaian yang lebih kompleks dan teknologi device terprogram (CPLD/FPGA) berbasis Xilinx. Bahasa HDL (Hardware Description Language) yang digunakan untuk merancang sistem digital terprogram adalah Verilog.

Dalam kuliah ini akan dipelajari 5 materi berikut:

1. Teknologi implementasi sistem digital: gerbang logika CMOS, IC standar seri 7400, PLD, FPGA, ASIC dan CAD untuk mengimplementasikan sistem
2. Desain rangkaian kombinasional: multiplekser, dekoder, enkoder, kode konverter, komparator dan deskripsi HDLnya
3. Elemen rangkaian sekuensial: latch (SR, D), flip-flop (D, T, JK), register, shift

register, counter/pencacah up/down sinkron dan asinkron, pencacah lainnya dan deskripsi HDLnya

4. Desain rangkaian sekuensial sinkron: FSM meliputi diagram, tabel dan assignment state serta pemilihan flip-flop untuk implementasi, model Moore, model Mealy, desain FSM dengan HDL, minimisasi state, contoh implementasi (serial adder, counter) dan analisisnya
5. Desain rangkaian sekuensial asinkron: analisis, sintesis, reduksi dan penugasan state serta contoh desainnya

3. Kompetensi Pembelajaran

Standar Kompetensi (SK):

Setelah lulus mata kuliah ini, dengan pemahaman konsep sistem digital yang diperoleh mahasiswa akan mampu:

1. merancang, mengimplementasikan dan menganalisis rangkaian digital menggunakan chip standar TTL/CMOS (seri 74xx);
2. merancang, mengimplementasikan dan menganalisis rangkaian digital menggunakan HDL Verilog/VHDL di atas FPGA Xilinx Spartan-3E;

Kompetensi Dasar (KD):

1. [C2] Mahasiswa akan mampu menjelaskan konsep dan prinsip gerbang-gerbang logika CMOS dan rangkaian logikanya secara tepat
2. [C3] Mahasiswa akan mampu menjelaskan dan memilih teknologi implementasi sistem digital secara tepat, mulai dari teknologi IC Seri 7400, PLD (programmable logic device) dan ASIC (application specific IC)
3. [C6] Mahasiswa akan mampu untuk merancang rangkaian logika CMOS yang optimal jika diberikan fungsi masukan-keluaran sistem
4. [C3] Mahasiswa akan dapat menerapkan metodologi untuk mengembangkan sistem digital menggunakan IC seri 74xx
5. [C3] Mahasiswa akan mampu menjelaskan dan mengaplikasikan asumsi dan disiplin dalam perancangan sistem digital saat implementasi secara fisik
6. [C5] Mahasiswa akan mampu memilih IC TTL/CMOS seri 7400 untuk mengimplementasikan desain rangkaian digital secara tepat jika diberikan suatu kebutuhan desain
7. [C3] Mahasiswa akan dapat menerapkan metodologi untuk mengembangkan sistem digital menggunakan device FPGA jika diberikan suatu kebutuhan rancangan sistem digital
8. [C3] Mahasiswa akan dapat menggunakan program Xilinx ISE Webpack untuk merancang sistem digital dengan benar

9. [C2] Mahasiswa akan dapat membedakan HDL dengan bahasa pemrograman lainnya
10. [C3] Mahasiswa akan dapat menggunakan sintaks-sintaks HDL Verilog dengan benar untuk membuat program HDL untuk suatu problem desain sistem digital sederhana
11. [C3] Mahasiswa akan dapat menuliskan modul testbench untuk menguji modul yang didesain secara fungsional
12. [C6] Mahasiswa akan mampu mengevaluasi desainnya dari diagram pewaktuan yang didapatkannya serta perilaku keluaran sistem dari masukan yang diberikan
13. [C3] Mahasiswa akan mampu memprogram HDL Verilog untuk elemen-elemen rangkaian kombinasional dengan tepat (dapat tersintesis)
14. [C4] Mahasiswa akan mampu mensimulasikan dan menganalisis desain HDL rangkaian tersebut
15. [C5] Mahasiswa akan mampu mensintesis desain rangkaian kombinasional dengan fungsi serupa IC seri 74xx untuk FPGA Xilinx
16. [C6] Mahasiswa akan mampu mengevaluasi desain rangkaian tersebut
17. [C2] Mahasiswa akan mampu menjelaskan perbedaan antara latch dan flip-flop dengan tepat
18. [C2] Mahasiswa akan mampu menjelaskan fungsi karakteristik latch (SR, D) dan flip-flop (D, T, dan JK) dengan tepat
19. [C2] Mahasiswa akan mampu menjelaskan struktur dan fungsi register dan shift register
20. [C3] Mahasiswa akan dapat memprogram modul Verilog untuk flip-flop, latch, register dan register geser
21. [C4] Mahasiswa akan dapat mensimulasikan modul-modul tersebut
22. [C5] Mahasiswa akan dapat membuat modul-modul HDL tersintesis untuk counter dengan fungsi serupa dengan IC seri 74xx
23. [C3] Mahasiswa akan dapat menerapkan model-model FSM untuk mendesain rangkaian sekuensial sinkron berupa modul serial adder dan counter
24. [C4] Mahasiswa akan dapat mensimulasikan modul-modul tersebut
25. [C5] Mahasiswa akan dapat membuat modul-modul HDL tersintesis untuk register dan counter dengan fungsi serupa dengan IC seri 74xx
26. [C2] Mahasiswa akan mampu menjelaskan perilaku rangkaian sekuensial asinkron
27. [C4] Mahasiswa akan mampu mendesain rangkaian sekuensial asinkron
28. [C5] Mahasiswa akan mampu menganalisis suatu rangkaian sekuensial asinkron

4. Strategi Pembelajaran

Kuliah dilakukan dengan metode tatap muka selama 2 x 50 menit yang berisi ceramah dan diskusi. Kegiatan pembelajaran akan dilakukan setidaknya dalam 12 kali tatap muka sesuai jadwal. Waktu tambahan tatap muka di luar jadwal diberikan untuk kegiatan responsi dan kuis. Penetapan waktu tambahan akan diumumkan di blog <http://didik.blog.undip.ac.id>

5. Referensi Pembelajaran

1. Stephen Brown and Zvonko Vranesic, "Fundamentals of Digital Logic with Verilog", 2nd Edition, McGraw-Hill, 2005
2. Peter J. Ashenden, "Digital Design: An Embedded Systems Approach Using Verilog", Morgan Kaufmann, 2008
3. Website: Verilog Tutorial, <http://www.asic-world.com/verilog/veritut.html>
4. UG230: Spartan-3E FPGA Starter Kit Board User Guide, Xilinx, June 2008
5. DS312: Spartan-3E FPGA Family Data Sheet, Xilinx, August 2009
6. Spartan-3E Starter Board Schematic, Digilent, Feb 2006
7. Xilinx ISE Design Suite 11 Software Manual, Xilinx, 2009
8. Website: Wikipedia 7400 Series, http://en.wikipedia.org/wiki/7400_series
9. **Web kuliah:** <http://didik.blog.undip.ac.id/2011/09/13/tsk-505-sistem-digital-lanjut-2011/>

Web berisi deskripsi dan rencana kuliah TSK-505, file lecture note, tugas dan solusi, serta sebagai wadah interaksi dosen-mahasiswa

6. Tugas dan Kegiatan Terstruktur

Ketentuan:

1. Tugas diberikan berdasarkan topik kuliah;
2. Tugas dikerjakan secara individu/grup di rumah;
3. Solusi tugas dikumpulkan paling lambat 1 minggu setelah tugas diberikan;

Tugas dan kegiatan terstruktur:

1. Tugas #1 Teknologi implementasi sistem digital
 - Mahasiswa membuat tulisan tentang IC TTL/CMOS untuk logika NOT, AND, OR, NAND, NOR, XOR. Tulisan berisi nomor IC, deskripsi fungsi

logika, pinout IC dan tabel fungsi logikanya

- Mahasiswa membuat tulisan ringkas tentang CPLD, FPGA dan perbedaan keduanya
2. Tugas #2 Rangkaian IC TTL/CMOS 74xx
 - Mahasiswa mendesain rangkaian 74xx untuk suatu fungsi logika
 - Mahasiswa mengevaluasi bahwa disiplin rangkaian telah terpenuhi dari asumsi yang dibuatnya
 3. Tugas #3 Instalasi Xilinx ISE Webpack dan simulator
 - Mahasiswa mendesain, mensimulasikan dan mensintesis desain ke FPGA
 - Mahasiswa menulis setiap tahapan metodologi desain PLD tersebut
 4. Tugas #4 Pemrograman verilog
 - Mahasiswa mendesain, mensimulasikan dan mensintesis suatu desain ke FPGA menggunakan sintaks-sintaks verilog
 5. Tugas #5 Pemrograman verilog
 - Mahasiswa mendesain, mensimulasikan dan mensintesis desain elemen-elemen rangkaian kombinasional ke FPGA menggunakan sintaks-sintaks verilog
 6. Tugas #6: Elemen rangkaian sekuensial
 - Mahasiswa mencari dan meringkas prinsip kerja IC TTL 74xx berupa latch SR latch, D latch, data flip-flop, toggle flip-flop, JK flip-flop dan shift register
 7. Tugas #7 Modul HDL untuk elemen sekuensial
 - Mahasiswa mendesain, mensimulasikan dan mensintesis desain modul-modul DFF, TFF, JKFF, SR latch, D latch, register dan register ke FPGA menggunakan sintaks-sintaks verilog
 8. Tugas #8: Desain rangkaian sekuensial sinkron
 - Mahasiswa mendesain, mensimulasikan dan mensintesis pencacah up-down, sinkron, asinkron dan dengan paralel load ke FPGA menggunakan

verilog

9. Tugas #9 Desain rangkaian sekuensial asinkron
 - Mahasiswa mendesain, mensimulasikan dan mensintesis rangkaian sekuensial asinkron ke FPGA menggunakan sintaks verilog

7.Kriteria Penilaian

Komponen penilaian:

1. Tugas
 - Tugas diberikan berdasarkan topik kuliah;
 - Tugas dikerjakan secara individu/grup di rumah;
 - Solusi tugas dikumpulkan paling lambat 1 minggu setelah tugas diberikan;
2. UTS
 - UTS dilakukan sesuai jadwal yang ditentukan oleh program studi;
 - Bahan soal UTS sesuai dengan SAP/GBPP yang telah ditentukan;
3. UAS
 - UAS dilakukan sesuai jadwal yang ditentukan oleh program studi;
 - Bahan soal UAS mencakup semua materi yang telah diberikan;

Nilai Akhir (NA) ditentukan sebagai berikut:

$$NA = (0.2 \times Tgs) + (0.4 \times UTS) + (0.4 \times UAS)$$

Keterangan:

- Tgs: nilai rata-rata tugas
- UTS, UAS: nilai ujian tengah dan akhir semester
- Skala nilai Tgs, UTS, UAS adalah 0 - 100

Penilaian kompetensi dilakukan dengan kriteria sebagai berikut:

Nilai Akhir/NA	Nilai Angka	Nilai bobot
$80 < NA$	A	4
$65 < NA \leq 80$	B	3
$50 < NA \leq 65$	C	2
$35 < NA \leq 50$	D	1
$NA \leq 35$	E	0

8. Jadwal Pembelajaran

No.	Kompetensi Dasar Hardskill	Pokok Bahasan	Sub Pokok Bahasan	Estimasi Waktu (menit)	Daftar Pustaka
1	<p>a) [C2] Mahasiswa akan mampu menjelaskan konsep dan prinsip gerbang-gerbang logika CMOS dan rangkaian logikanya secara tepat</p> <p>b) [C3] Mahasiswa akan mampu menjelaskan dan memilih teknologi implementasi sistem digital secara tepat, mulai dari teknologi IC Seri 7400, PLD (programmable logic device) dan ASIC (application specific IC)</p> <p>c) [C6] Mahasiswa akan mampu untuk merancang rangkaian logika CMOS yang optimal jika diberikan fungsi masukan-keluaran sistem</p>	Teknologi implementasi sistem digital	<ul style="list-style-type: none"> Saklar transistor NMOS, PMOS dan CMOS Gerbang logika CMOS: NOT, AND, OR, NAND, NOR IC seri 74xx, PLA, PAL, CPLD, FPGA, ASIC, standard-cell dan gate 	2 x 50	[1] Bab 3.1-3.6
2	<p>a) [C3] Mahasiswa akan dapat menerapkan metodologi untuk mengembangkan sistem digital menggunakan IC seri 74xx</p> <p>b) [C3] Mahasiswa akan mampu menjelaskan dan mengaplikasikan asumsi dan disiplin dalam perancangan sistem digital saat implementasi secara fisik</p> <p>c) [C5] Mahasiswa akan mampu memilih IC TTL/CMOS seri 7400 untuk mengimplementasikan desain rangkaian digital secara tepat jika diberikan suatu kebutuhan desain</p>	IC Standar Seri-74xx	<ul style="list-style-type: none"> Metodologi desain sistem digital menggunakan IC seri 74xx Rangkaian 74xx Tinjauan praktikal: asumsi dan disiplin dalam rangkaian digital 	2 x 50	[1] Bab 3.5 [8] [2] Bab 6.1-6.2
3	<p>a) [C3] Mahasiswa akan dapat menerapkan metodologi untuk mengembangkan sistem digital menggunakan device FPGA jika diberikan suatu kebutuhan rancangan sistem digital</p> <p>b) [C3] Mahasiswa akan dapat menggunakan program Xilinx ISE Webpack untuk merancang sistem digital dengan benar</p> <p>c) [C2] Mahasiswa akan dapat membedakan HDL dengan bahasa pemrograman lainnya</p>	Programmable Logic Device (PLD) dan Hardware Description Language (HDL)	<ul style="list-style-type: none"> Metodologi desain sistem digital menggunakan PLD (Xilinx FPGA) dan Xilinx ISE Webpack IDE Xilinx ISE Webpack Pengantar HDL: Verilog dan VHDL 	2 x 50	[2] Bab 10 [3] [4][5][6] [7]
4	<p>a) [C3] Mahasiswa akan dapat menggunakan sintaks-sintaks HDL Verilog dengan benar untuk membuat program HDL untuk suatu problem desain sistem digital sederhana</p> <p>b) [C3] Mahasiswa akan dapat menuliskan modul testbench untuk menguji modul yang didesain secara fungsional</p> <p>c) [C6] Mahasiswa akan mampu mengevaluasi desainnya dari diagram pewaktuan yang didapatkannya serta perilaku keluaran sistem dari masukan yang diberikan</p>	Dasar-dasar Pemrograman Verilog	<ul style="list-style-type: none"> Sintaks dan semantik Gate-level modelling Primitive Operator Model behavior Fungsi dan task Simulasi dan testbench 	2 x 50	[2] Bab 2.1 [3]
5,6	<p>a) [C3] Mahasiswa akan mampu memprogram HDL Verilog untuk elemen-elemen rangkaian kombinasional dengan tepat (dapat tersintesis)</p> <p>b) [C4] Mahasiswa akan mampu mensimulasikan dan menganalisis desain HDL rangkaian tersebut</p> <p>c) [C5] Mahasiswa akan mampu mensintesis desain rangkaian kombinasional dengan fungsi serupa IC seri 74xx untuk FPGA Xilinx</p> <p>d) [C6] Mahasiswa akan mampu mengevaluasi desain rangkaian tersebut</p>	HDL untuk elemen rangkaian kombinasional	<ul style="list-style-type: none"> Multiplexer 4-ke-1, 16-ke-1 Enkoder biner 4-ke-2, enkoder prioritas Dekoder/demultiplexer 3-ke-8 Dekoder BCD/hex ke 7-segmen 	4 x 50	[1] Bab 6 [2] Bab 2
7	Evaluasi: Ujian Tengah Semester				
8,9	<p>a) [C2] Mahasiswa akan mampu menjelaskan perbedaan antara latch dan flip-flop dengan tepat</p> <p>b) [C2] Mahasiswa akan mampu menjelaskan</p>	Elemen rangkaian sekuensial: latch, flip-flop, dan register	<ul style="list-style-type: none"> Latch: set-reset (SR latch) dan data (D latch) Flip-flop/FF: data 	4 x 50	[1] Bab 7.1-7.6 [2] Bab 4.1

No.	Kompetensi Dasar Hardskill	Pokok Bahasan	Sub Pokok Bahasan	Estimasi Waktu (menit)	Daftar Pustaka
	fungsi karakteristik latch (SR, D) dan flip-flop (D, T, dan JK) dengan tepat c) [C2] Mahasiswa akan mampu menjelaskan struktur dan fungsi register dan shift register		(DFF), toggle (T-FF) dan JK flip-flop • Register dan shift register		
10	a) [C3] Mahasiswa akan dapat memprogram modul Verilog untuk flip-flop, latch, register dan register geser b) [C4] Mahasiswa akan dapat mensimulasikan modul-modul tersebut c) [C5] Mahasiswa akan dapat membuat modul-modul HDL tersintesis untuk counter dengan fungsi serupa dengan IC seri 74xx	HDL untuk elemen storage dan register	• Modul flip-flop • Modul latch • Modul register • Modul register geser	2 x 50	[1] Bab 7.12-7.14
11, 12	a) [C3] Mahasiswa akan dapat menerapkan model-model FSM untuk mendesain rangkaian sekuensial sinkron berupa modul serial adder dan counter b) [C4] Mahasiswa akan dapat mensimulasikan modul-modul tersebut c) [C5] Mahasiswa akan dapat membuat modul-modul HDL tersintesis untuk register dan counter dengan fungsi serupa dengan IC seri 74xx	Desain Rangkaian Sekuensial Sinkron	• FSM (Finite State Machine) • Model Moore dan Mealy • Desain FSM dengan HDL • Analisis • Counter: up dan down, asinkron dan sinkron, counter dengan paralel load	4 x 50	[1] Bab 7.8-7.11, 8 [2] Bab 4.2 [3]
13	a) [C2] Mahasiswa akan mampu menjelaskan perilaku rangkaian sekuensial asinkron b) [C4] Mahasiswa akan mampu mendesain rangkaian sekuensial asinkron c) [C5] Mahasiswa akan mampu menganalisis suatu rangkaian sekuensial asinkron	Desain Rangkaian Sekuensial Asinkron	• Rangkaian sekuensial asinkron • Analisis • Sintesis • State reduction • State assignment	2 x 50	[1] Bab 9
14	Evaluasi: Ujian Akhir Semester				

No.	Kompetensi Dasar Hardskill	Pokok Bahasan	Sub Pokok Bahasan	Kompetensi Softskill	Estimasi Waktu (menit)	Daftar Pustaka
1	d) [C2] Mahasiswa akan mampu menjelaskan konsep dan prinsip gerbang-gerbang logika CMOS dan rangkaian logikanya secara tepat e) [C3] Mahasiswa akan mampu menjelaskan dan memilih teknologi implementasi sistem digital secara tepat, mulai dari teknologi IC Seri 7400, PLD (programmable logic device) dan ASIC (application specific IC) f) [C6] Mahasiswa akan mampu untuk merancang rangkaian logika CMOS yang optimal jika diberikan fungsi masukan-keluaran sistem	Teknologi implementasi sistem digital	<ul style="list-style-type: none"> • Saklar transistor • NMOS, PMOS dan CMOS • Gerbang logika CMOS: NOT, AND, OR, NAND, NOR • IC seri 74xx, PLA, PAL, CPLD, FPGA, ASIC, standard-cell dan gate 	<ul style="list-style-type: none"> • Berfikir kritis • Inisiatif • Berani mengemukakan pendapat • Apresiatif terhadap pendapat orang lain 	2 x 50	[1] Bab 3.1-3.6
2	a) [C3] Mahasiswa akan dapat menerapkan metodologi untuk mengembangkan sistem digital menggunakan IC seri 74xx b) [C3] Mahasiswa akan mampu menjelaskan dan mengaplikasikan asumsi dan disiplin dalam perancangan sistem digital saat implementasi secara fisik c) [C5] Mahasiswa akan mampu memilih IC TTL/CMOS seri 7400 untuk mengimplementasikan desain rangkaian digital secara tepat jika diberikan suatu kebutuhan desain	IC Standar Seri-74xx	<ul style="list-style-type: none"> • Metodologi desain sistem digital menggunakan IC seri 74xx • Rangkaian 74xx • Tinjauan praktikal: asumsi dan disiplin dalam rangkaian digital 	<ul style="list-style-type: none"> • Berfikir kritis • Inisiatif • Apresiatif terhadap pendapat orang lain 	2 x 50	[1] Bab 3.5 [8] [2] Bab 6.1-6.2
3	a) [C3] Mahasiswa akan dapat menerapkan metodologi untuk mengembangkan sistem digital menggunakan device FPGA jika diberikan suatu kebutuhan rancangan sistem digital b) [C3] Mahasiswa akan dapat menggunakan program Xilinx ISE Webpack untuk merancang sistem digital dengan benar c) [C2] Mahasiswa akan dapat membedakan HDL dengan bahasa pemrograman lainnya	Programmable Logic Device (PLD) dan Hardware Description Language (HDL)	<ul style="list-style-type: none"> • Metodologi desain sistem digital menggunakan PLD (Xilinx FPGA) dan Xilinx ISE Webpack • IDE Xilinx ISE Webpack • Pengantar HDL: Verilog dan VHDL 	<ul style="list-style-type: none"> • Berfikir kritis • Inisiatif • Apresiatif terhadap pendapat orang lain • Terampil menggunakan software 	2 x 50	[2] Bab 10 [3] [4][5][6] [7]
4	a) [C3] Mahasiswa akan dapat	Dasar-dasar	• Sintaks dan semantik	• Berfikir kritis	2 x 50	[2] Bab

No.	Kompetensi Dasar Hardskill	Pokok Bahasan	Sub Pokok Bahasan	Kompetensi Softskill	Estimasi Waktu (menit)	Daftar Pustaka
	<p>menggunakan sintaks-sintaks HDL Verilog dengan benar untuk membuat program HDL untuk suatu problem desain sistem digital sederhana</p> <p>b) [C3] Mahasiswa akan dapat menuliskan modul testbench untuk menguji modul yang didesain secara fungsional</p> <p>c) [C6] Mahasiswa akan mampu mengevaluasi desainnya dari diagram pewaktuan yang didapatkannya serta perilaku keluaran sistem dari masukan yang diberikan</p>	Pemrograman Verilog	<ul style="list-style-type: none"> • Gate-level modelling • Primitive • Operator • Model behavior • Fungsi dan task • Simulasi dan testbench 	<ul style="list-style-type: none"> • Inisiatif • Apresiatif terhadap pendapat orang lain • Terampil menggunakan software 		2.1 [3]
5, 6	<p>a) [C3] Mahasiswa akan mampu memprogram HDL Verilog untuk elemen-elemen rangkaian kombinasional dengan tepat (dapat tersintesis)</p> <p>b) [C4] Mahasiswa akan mampu mensimulasikan dan menganalisis desain HDL rangkaian tersebut</p> <p>c) [C5] Mahasiswa akan mampu mensintesis desain rangkaian kombinasional dengan fungsi serupa IC seri 74xx untuk FPGA Xilinx</p> <p>d) [C6] Mahasiswa akan mampu mengevaluasi desain rangkaian tersebut</p>	HDL untuk elemen rangkaian kombinasional	<ul style="list-style-type: none"> • Multiplexer 4-ke-1, 16-ke-1 • Enkoder biner 4-ke-2, enkoder prioritas • Dekoder/demultiplexer 3-ke-8 • Dekoder BCD/hex ke 7-segmen 	<ul style="list-style-type: none"> • Berfikir kritis • Inisiatif • Apresiatif terhadap pendapat orang lain • Kreatif • Terampil menggunakan software 	4 x 50	[1] Bab 6 [2] Bab 2
7	Evaluasi: Ujian Tengah Semester					
8, 9	<p>a) [C2] Mahasiswa akan mampu menjelaskan perbedaan antara latch dan flip-flop dengan tepat</p> <p>b) [C2] Mahasiswa akan mampu menjelaskan fungsi karakteristik latch (SR, D) dan flip-flop (D, T, dan JK) dengan tepat</p> <p>c) [C2] Mahasiswa akan mampu menjelaskan struktur dan fungsi register dan shift register</p>	Elemen rangkaian sekuensial: latch, flip-flop, dan register	<ul style="list-style-type: none"> • Latch: set-reset (SR latch) dan data (D latch) • Flip-flop/FF: data (DFF), toggle (T-FF) dan JK flip-flop • Register dan shift register 	<ul style="list-style-type: none"> • Berfikir kritis • Inisiatif • Apresiatif terhadap pendapat orang lain 	4 x 50	[1] Bab 7.1-7.6 [2] Bab 4.1
10	<p>a) [C3] Mahasiswa akan dapat memprogram modul Verilog untuk flip-flop, latch, register dan register geser</p> <p>b) [C4] Mahasiswa akan dapat mensimulasikan modul-</p>	HDL untuk elemen storage dan register	<ul style="list-style-type: none"> • Modul flip-flop • Modul latch • Modul register • Modul register geser 	<ul style="list-style-type: none"> • Berfikir kritis • Inisiatif • Apresiatif terhadap pendapat orang lain 	2 x 50	[1] Bab 7.12-7.14

No.	Kompetensi Dasar Hardskill	Pokok Bahasan	Sub Pokok Bahasan	Kompetensi Softskill	Estimasi Waktu (menit)	Daftar Pustaka
	<p>modul tersebut</p> <p>c) [C5] Mahasiswa akan dapat membuat modul-modul HDL tersintesis untuk counter dengan fungsi serupa dengan IC seri 74xx</p>			<ul style="list-style-type: none"> • Kreatif • Terampil 		
1 1, 1 2	<p>a) [C3] Mahasiswa akan dapat menerapkan model-model FSM untuk mendesain rangkaian sekuensial sinkron berupa modul serial adder dan counter</p> <p>b) [C4] Mahasiswa akan dapat mensimulasikan modul-modul tersebut</p> <p>c) [C5] Mahasiswa akan dapat membuat modul-modul HDL tersintesis untuk register dan counter dengan fungsi serupa dengan IC seri 74xx</p>	Desain Rangkaian Sekuensial Sinkron	<ul style="list-style-type: none"> • FSM (Finite State Machine) • Model Moore dan Mealy • Desain FSM dengan HDL • Analisis • Counter: up dan down, asinkron dan sinkron, counter dengan paralel load 	<ul style="list-style-type: none"> • Berfikir kritis • Inisiatif • Apresiatif terhadap pendapat orang lain • Kreatif • Terampil 	4 x 50	[1] Bab 7.8-7.11, 8 [2] Bab 4.2 [3]
1 3	<p>a) [C2] Mahasiswa akan mampu menjelaskan perilaku rangkaian sekuensial asinkron</p> <p>b) [C4] Mahasiswa akan mampu mendesain rangkaian sekuensial asinkron</p> <p>c) [C5] Mahasiswa akan mampu menganalisis suatu rangkaian sekuensial asinkron</p>	Desain Rangkaian Sekuensial Asinkron	<ul style="list-style-type: none"> • Rangkaian sekuensial asinkron • Analisis • Sintesis • State reduction • State assignment 	<ul style="list-style-type: none"> • Berfikir kritis • Inisiatif • Apresiatif terhadap pendapat orang lain 	2 x 50	[1] Bab 9
1 4	Evaluasi: Ujian Akhir Semester					