

Pengantar Kuliah

TKC305 - Sistem Digital Lanjut

Eko Didik Widianto

Prodi Sistem Komputer - Universitas Diponegoro

- ▶ Pembahasan tentang deskripsi, tujuan, sasaran dan materi kuliah TKC305 Sistem Digital Lanjut. Selain itu, juga dibahas tentang tata tertib kuliah dan sistem evaluasi
 - ▶ Sebelumnya berkode TSK-505
 - ▶ Penjelasan GBPP/SAP TKC305 Sistem Digital Lanjut
 - ▶ Mahasiswa akan belajar tentang desain dan implementasi rangkaian kombinasional dan sekuensial yang lebih kompleks menggunakan chip standar TTL (dan CMOS) dan teknologi device terprogram (CPLD/FPGA) berbasis Xilinx
- ▶ Pengantar sistem digital lanjut

Pengantar Perkuliahan

Deskripsi Kuliah

Standar Kompetensi dan Kompetensi Dasar

Buku Acuan

Rencana Perkuliahan

Tata Tertib Kuliah

Sistem Evaluasi

Teknologi Implementasi Rangkaian Digital

Pendahuluan

Chip Standar Seri 74xx

Programmable Logic Device

Bahasan

Pengantar Perkuliahan

Deskripsi Kuliah

Standar Kompetensi dan Kompetensi Dasar

Buku Acuan

Rencana Perkuliahan

Tata Tertib Kuliah

Sistem Evaluasi

<http://embedded.undip.ac.id>

Teknologi Implementasi Rangkaian Digital

Pendahuluan

Chip Standar Seri 74xx

Programmable Logic Device

Pengantar Kuliah

@2012,Eko Didik
Widianto

Pengantar Kuliah

Deskripsi Kuliah

Standar Kompetensi dan
Kompetensi Dasar

Buku Acuan

Rencana Perkuliahan

Tata Tertib Kuliah

Sistem Evaluasi

Teknologi

Implementasi

Rangkaian Digital

Deskripsi Kuliah

Kredit: 2 SKS Kuliah, 1 SKS Praktikum

Metode pengajaran: tatap muka (2 x 50 menit), presentasi materi dan diskusi, UTS, UAS, Tugas

Waktu: ±14 Minggu (termasuk UTS dan UAS)

Prasyarat: TSK205 (Sistem Digital)

- ▶ **Teknologi implementasi sistem digital:** gerbang logika CMOS, IC standar seri 7400, PLD, FPGA, ASIC dan CAD untuk mengimplementasikan sistem
- ▶ **Desain rangkaian kombinasional:** multiplexer, dekoder, enkoder, kode konverter, komparator dan deskripsi HDLnya
- ▶ **Elemen rangkaian sekuensial:** latch (SR, D), flip-flop (D, T, JK), register, shift register, counter/pencacah up/down sinkron dan asinkron, pencacah lainnya dan deskripsi HDLnya
- ▶ **Rangkaian sekuensial sinkron:** FSM meliputi diagram, tabel dan assignment state serta pemilihan flip-flop untuk implementasi, model Moore, model Mealy, desain FSM dengan HDL, minimisasi state, contoh implementasi (serial adder, counter) dan analisisnya
- ▶ **Rangkaian sekuensial asinkron:** analisis, sintesis, reduksi dan assignment state serta contoh desainnya

Kuliah TKC305 ini berkomplemen dengan TSK305 (Teknik Mikroprosesor), TSK307 (Organisasi Komputer) dan TSK507 (Sistem Embedded).

TKC305 menjadi **prasyarat** untuk kuliah pilihan TKC405 Desain Sistem VLSI.

Pengantar Perkuliahan

Deskripsi Kuliah

Standar Kompetensi dan Kompetensi Dasar

Buku Acuan

Rencana Perkuliahan

Tata Tertib Kuliah

Sistem Evaluasi

<http://embedded.undip.ac.id>

Teknologi Implementasi Rangkaian Digital

Pendahuluan

Chip Standar Seri 74xx

Programmable Logic Device

Pengantar Kuliah

Deskripsi Kuliah

Standar Kompetensi dan
Kompetensi Dasar

Buku Acuan

Rencana Perkuliahan

Tata Tertib Kuliah

Sistem Evaluasi

Teknologi

Implementasi

Rangkaian Digital

Standar Kompetensi

Setelah lulus mata kuliah ini, dengan pemahaman konsep sistem digital yang diperoleh mahasiswa akan mampu:

1. merancang, mengimplementasikan dan menganalisis rangkaian digital menggunakan chip standar TTL/CMOS (seri 74xx);
2. merancang, mengimplementasikan dan menganalisis rangkaian digital menggunakan HDL Verilog/VHDL di atas FPGA Xilinx Spartan-3E;

Kompetensi Dasar

Pengantar Kuliah

@2012,Eko Didik
Widianto

Pengantar Kuliah

Deskripsi Kuliah

Standar Kompetensi dan
Kompetensi Dasar

Buku Acuan

Rencana Perkuliahan

Tata Tertib Kuliah

Sistem Evaluasi

Teknologi

Implementasi
Rangkaian Digital

- ▶ Lihat GBPP dan SAP untuk daftar lebih lengkap
- ▶ Atau <http://didik.blog.undip.ac.id/2012/09/02/tkc-305-sistem-digital-lanjut-2012/>

Bahasan

Pengantar Perkuliahan

Deskripsi Kuliah

Standar Kompetensi dan Kompetensi Dasar

Buku Acuan

Rencana Perkuliahan

Tata Tertib Kuliah

Sistem Evaluasi

<http://embedded.undip.ac.id>

Teknologi Implementasi Rangkaian Digital

Pendahuluan

Chip Standar Seri 74xx

Programmable Logic Device

Pengantar Kuliah

@2012,Eko Didik
Widianto

Pengantar Kuliah

Deskripsi Kuliah

Standar Kompetensi dan
Kompetensi Dasar

Buku Acuan

Rencana Perkuliahan

Tata Tertib Kuliah

Sistem Evaluasi

Teknologi

Implementasi

Rangkaian Digital

Buku Acuan/Referensi

1. Stephen Brown and Zvonko Vranesic, Fundamentals of Digital Logic with Verilog/VHDL, 2nd Edition, McGraw-Hill, 2005
2. Peter J. Ashenden, Digital Design: An Embedded Systems Approach Using Verilog/VHDL, Morgan Kaufmann, 2008
3. Ian Grout, "Digital Systems Design with FPGAs and CPLDs", Newness, 2008
4. Verilog Tutorial (online):
<http://www.asic-world.com/verilog/veritut.html>
5. UG230: Spartan-3E FPGA Starter Kit Board User Guide, Xilinx, June 2008
6. Xilinx ISE Design Suite 11 Software Manual, Xilinx, 2009

Bahasan

Pengantar Perkuliahan

Deskripsi Kuliah

Standar Kompetensi dan Kompetensi Dasar

Buku Acuan

Rencana Perkuliahan

Tata Tertib Kuliah

Sistem Evaluasi

Teknologi Implementasi Rangkaian Digital

Pendahuluan

Chip Standar Seri 74xx

Programmable Logic Device

Pengantar Kuliah

@2012,Eko Didik
Widianto

Pengantar Kuliah

Deskripsi Kuliah

Standar Kompetensi dan
Kompetensi Dasar

Buku Acuan

Rencana Perkuliahan

Tata Tertib Kuliah

Sistem Evaluasi

Teknologi

Implementasi

Rangkaian Digital

Rencana Acara Perkuliahan

Tentative 14 minggu (tatap muka)

Detail: <http://didik.blog.undip.ac.id/2012/09/02/tkc-305-sistem-digital-lanjut-2012/>

- ▶ Rencana perkuliahan
- ▶ Kompetensi dasar
- ▶ Tugas/ kegiatan terstruktur

Pengantar Kuliah

@2012,Eko Didik
Widianto

Pengantar Kuliah

Deskripsi Kuliah

Standar Kompetensi dan
Kompetensi Dasar

Buku Acuan

Rencana Perkuliahan

Tata Tertib Kuliah

Sistem Evaluasi

Teknologi

Implementasi

Rangkaian Digital

Bahasan

Pengantar Perkuliahan

Deskripsi Kuliah

Standar Kompetensi dan Kompetensi Dasar

Buku Acuan

Rencana Perkuliahan

Tata Tertib Kuliah

Sistem Evaluasi

Teknologi Implementasi Rangkaian Digital

Pendahuluan

Chip Standar Seri 74xx

Programmable Logic Device

Pengantar Kuliah

@2012,Eko Didik
Widianto

Pengantar Kuliah

Deskripsi Kuliah

Standar Kompetensi dan
Kompetensi Dasar

Buku Acuan

Rencana Perkuliahan

Tata Tertib Kuliah

Sistem Evaluasi

Teknologi

Implementasi

Rangkaian Digital

Berlaku bagi Dosen dan Mahasiswa

- ▶ Dosen dan mahasiswa diharapkan hadir pada waktunya
 - ▶ Batas wajar 15 menit dari jadwal yang telah ditentukan
 - ▶ Mahasiswa yang terlambat lebih dari 15 menit tidak diperkenankan untuk mengikuti kuliah
- ▶ Kehadiran minimal 75% (9 / 12 pertemuan) sebagai syarat minimal mengikuti UTS dan/atau UAS
 - ▶ Sesuai keputusan jurusan Teknik Sistem Komputer
- ▶ Kuliah yang batal diadakan karena hari libur, kegiatan insidental jurusan ataupun dosen berhalangan, akan digantikan di hari lain sesuai kesepakatan dosen-mahasiswa
 - ▶ Akan diberitahukan lewat website

Bahasan

Pengantar Perkuliahan

Deskripsi Kuliah

Standar Kompetensi dan Kompetensi Dasar

Buku Acuan

Rencana Perkuliahan

Tata Tertib Kuliah

Sistem Evaluasi

Teknologi Implementasi Rangkaian Digital

Pendahuluan

Chip Standar Seri 74xx

Programmable Logic Device

Pengantar Kuliah

@2012,Eko Didik
Widianto

Pengantar Kuliah

Deskripsi Kuliah

Standar Kompetensi dan
Kompetensi Dasar

Buku Acuan

Rencana Perkuliahan

Tata Tertib Kuliah

Sistem Evaluasi

Teknologi

Implementasi

Rangkaian Digital

Evaluasi:

No	Evaluasi	Bobot
1	Tugas Mandiri/Kelompok	30%
3	Ujian Tengah Semester	30%
4	Ujian Akhir Semester	40%

Penilaian Akhir:

$AA \geq 80$	A	4.0
$67 \leq AA < 80$	B	3.0
$55 \leq AA < 67$	C	2.0
$41 \leq AA < 55$	D	1.0
$AA < 41$	E	0.0 (Tidak Lulus)

Pengantar Kuliah

Deskripsi Kuliah

Standar Kompetensi dan
Kompetensi Dasar

Buku Acuan

Rencana Perkuliahan

Tata Tertib Kuliah

Sistem Evaluasi

Teknologi

Implementasi

Rangkaian Digital

Bahasan

Pengantar Perkuliahan

Deskripsi Kuliah

Standar Kompetensi dan Kompetensi Dasar

Buku Acuan

Rencana Perkuliahan

Tata Tertib Kuliah

Sistem Evaluasi

<http://embedded.undip.ac.id>

Teknologi Implementasi Rangkaian Digital

Pendahuluan

Chip Standar Seri 74xx

Programmable Logic Device

Pengantar Kuliah

@2012,Eko Didik
Widianto

Pengantar Kuliah

Teknologi
Implementasi
Rangkaian Digital

Pendahuluan

Chip Standar Seri 74xx
Programmable Logic Device

Implementasi Sistem Digital

Pengantar Kuliah

@2012,Eko Didik
Widianto

Pengantar Kuliah

Teknologi
Implementasi
Rangkaian Digital

Pendahuluan

Chip Standar Seri 74xx
Programmable Logic Device

Implementasi sistem digital yang akan dipelajari,
menggunakan:

1. Chip standar seri 74xx
2. Programmable Logic Device (PLA, PAL, CPLD, FPGA)

- ▶ Memberikan pengantar untuk mempelajari implementasi sistem digital lebih detail, terutama menggunakan IC keluarga 74xx dan device terprogram, yaitu CPLD (Complex Programmable Logic Device) dan FPGA (Field Programmable Gate Array)
 - ▶ Rancangan dan implementasi rangkaian 74xx, CPLD dan FPGA akan dibahas secara lebih detail dalam keseluruhan bab kuliah TKC305 ini
- ▶ Memberikan pandangan bagaimana mengimplementasikan sistem digital tersebut di industri elektronika digital pada umumnya

Mahasiswa akan mampu untuk:

- ▶ **[C2]** memberikan contoh IC TTL berikut nomor IC, fungsi logika, kemasan, teknologi konstruksinya
- ▶ **[C2]** menjelaskan tentang device terprogram terutama PLA, PAL, CPLD dan FPGA serta dapat membedakan device-device tersebut
- ▶ **[C3]** memilih teknologi implementasi sistem digital secara tepat, mulai dari teknologi IC Seri 7400, PLD (programmable logic device) dan ASIC (application specific IC)

Bahasan

Pengantar Perkuliahan

Deskripsi Kuliah

Standar Kompetensi dan Kompetensi Dasar

Buku Acuan

Rencana Perkuliahan

Tata Tertib Kuliah

Sistem Evaluasi

<http://embedded.undip.ac.id>

Teknologi Implementasi Rangkaian Digital

Pendahuluan

Chip Standar Seri 74xx

Programmable Logic Device

Pengantar Kuliah

@2012,Eko Didik
Widianto

Pengantar Kuliah

Teknologi
Implementasi
Rangkaian Digital

Pendahuluan

Chip Standar Seri 74xx

Programmable Logic Device

Chip Standar

- ▶ Rangkaian logika sederhana tersusun atas beberapa gerbang logika
 - ▶ Tiap gerbang (atau gabungan gerbang) diimplementasikan sebagai rangkaian terintegrasi dalam 1 kemasan (IC, integrated circuit)
 - ▶ IC logika tersebut kemudian disebut IC seri 74xx
 - ▶ IC seri 74xx terbuat atas rangkaian transistor, sehingga disebut sebagai rangkaian *transistor-transistor logic* (TTL)
- ▶ Dikenal sebagai IC seri 74xx karena nomor komponen diawali dengan 74
 - ▶ Umumnya dikemas dalam **dual-inline package/DIP**
 - ▶ Koneksi eksternal dari chip disebut **pin** atau **lead**
 - ▶ Dua pin menghubungkan V_{DD} dan GND ke sumber daya untuk chip

- ▶ Fungsi: gerbang logika dasar, flip-flop dan counter, bus transceiver, ALU, dll

- ▶ Lihat: http://en.wikipedia.org/wiki/List_of_7400_series_integrated_circuits

Seri 74xx	Fungsi	Contoh
7400	Quad NAND-2 gates	74LS00
7404	Hex NOT gates	74LVC04
7432	Quad OR-2 gates	74HCT32

- ▶ Konstruksi transistor: bipolar, CMOS, BiCMOS
 - ▶ Kecepatan (Bipolar) versus daya rendah (CMOS)
 - ▶ Transistor bipolar **mempunyai kecepatan** lebih tinggi, tapi butuh **daya** lebih besar daripada CMOS
 - ▶ Transistor CMOS **mempunyai daya** lebih kecil, tapi **kecepatan** lebih kecil daripada bipolar
 - ▶ BiCMOS: trade-off antara kecepatan dengan kebutuhan daya
- ▶ Level tegangan logika
 - ▶ Bipolar/TTL: 5V
 - ▶ CMOS: 3.3V, 5V

Skema Penomoran IC

Pemberian Suffix

► **Teknologi:**

- Bipolar: standar (TTL mengacu ke teknologi bipolar, kemudian digeneralisir)
- CMOS: identitas 'C', misalnya **AC**, **HC**, **FC**, **LVC**
- BiCMOS: identitas 'B', misalnya **BCT**, **ABT**

► **Kecepatan:** (CMOS)

- Suffix 'H' untuk high-speed
- Suffix 'F' untuk fast, lebih cepat dari 'H'

► **Level tegangan 'TTL' dan power: (Bipolar)**

- Suffix 'L' untuk low power di bipolar
- Suffix 'L' untuk level tegangan 3.3V di CMOS

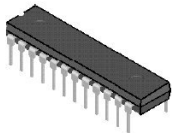
► **Fitur lainnya:**

- Suffix 'X' untuk level tolerant baik 3.3V maupun 5V
- Kemasan: DIP, TSSOP, TSOP, SOIC
- Suhu operasi dan tegangan absolut

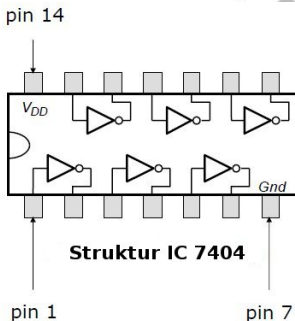
IC 7404

Hex Inverter

- ▶ 6 buah gerbang logika NOT



Dual-inline package

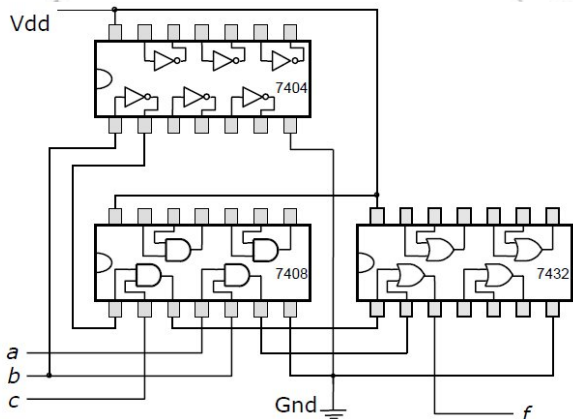


- ▶ Contoh:

- ▶ 74AHCT04PW: NXP Semiconductor, 14-TSSOP, 5V, CMOS
- ▶ SN74ALVC04: Texas Instruments, 3.3V, CMOS
- ▶ SN74ALS04: Texas Instruments, Low Power Schottky, 5V

Contoh Implementasi Rangkaian

Fungsi Logika $f = ab + \bar{b}c$



Pengantar Kuliah

@2012, Eko Didik
Widianto

Pengantar Kuliah

Teknologi
Implementasi
Rangkaian Digital

Pendahuluan

Chip Standar Seri 74xx

Programmable Logic Device

Bahasan

Pengantar Perkuliahan

Deskripsi Kuliah

Standar Kompetensi dan Kompetensi Dasar

Buku Acuan

Rencana Perkuliahan

Tata Tertib Kuliah

Sistem Evaluasi

<http://embedded.undip.ac.id>

Teknologi Implementasi Rangkaian Digital

Pendahuluan

Chip Standar Seri 74xx

Programmable Logic Device

Pengantar Kuliah

@2012,Eko Didik
Widianto

Pengantar Kuliah

Teknologi
Implementasi
Rangkaian Digital

Pendahuluan

Chip Standar Seri 74xx

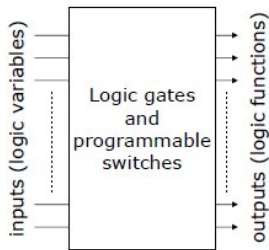
Programmable Logic Device

Programmable Logic Device (PLD)

- ▶ Jika fungsi rangkaian logika diimplementasikan dengan dengan komponen seri 7400
 - ▶ Fixed dan hardware-based
 - ▶ Tiap chip hanya menyediakan gerbang logika sederhana
 - ▶ Tidak efisien untuk membuat rangkaian yang lebih kompleks
- ▶ Diperlukan untuk membuat rangkaian yang tersusun atas gerbang logika dengan struktur yang tidak fixed (fungsi dapat diprogram)
 - ▶ Menggunakan **programmable logic devices** (PLD)
 - ▶ Devais dapat diprogram untuk menghasilkan rangkaian logika yang diinginkan

Programmable Logic Device

- ▶ PLD adalah chip *general-purpose* yang digunakan untuk mengimplementasikan rangkaian logika (kombinasional)
- ▶ Berisi koleksi elemen rangkaian logika yang dapat dikonfigurasi (diprogram)
- ▶ Dapat dilihat sebagai black-box yang berisi gerbang logika dan saklar terprogram yang memungkinkan koneksi antar elemen logika
- ▶ Dapat mengimplementasikan sebarang rangkaian logika yang diinginkan



Programmable Logic Array (PLA)

- ▶ PLD yang pertama dikembangkan adalah **programmable logic array (PLA)**
- ▶ Menggunakan premise bahwa sebarang fungsi dapat dituliskan dalam bentuk SOP
- ▶ Struktur PLA:
 - ▶ Masukan buffer dan inverter yang menyediakan nilai true dan komplemen untuk tiap variabel masukan
 - ▶ Kumpulan gerbang AND yang inputnya dapat diprogram
 - ▶ Kumpulan gerbang OR yang inputnya dapat diprogram

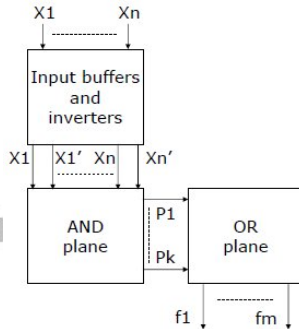
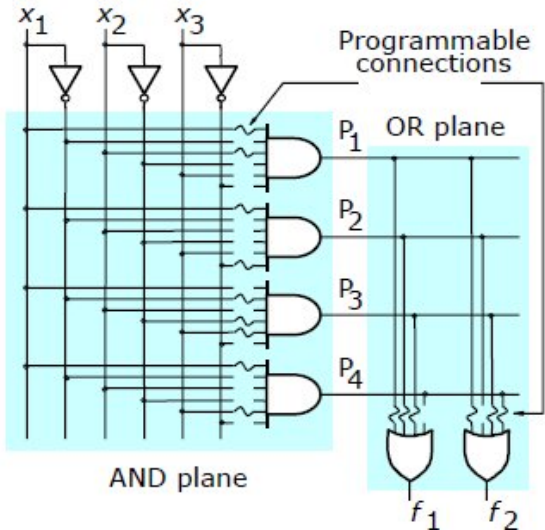


Diagram Gate-Level PLA

Koneksi terprogram



Pengantar Kuliah

@2012, Eko Didik Widiyanto

Pengantar Kuliah

Teknologi Implementasi Rangkaian Digital

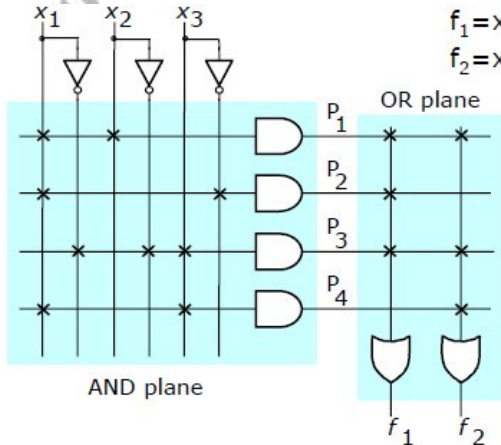
Pendahuluan

Chip Standar Seri 74xx

Programmable Logic Device

Skematik PLA

Fungsi tertentu f_1 dan f_2



$$f_1 = x_1x_2 + x_1x_3' + x_1'x_2'x_3$$

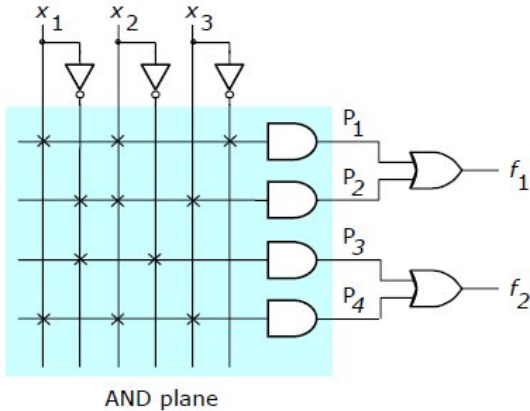
$$f_2 = x_1x_2 + x_1'x_2'x_3 + x_1x_3$$

Programmable Array Logic (PAL)

- ▶ Di PLA, *plane* AND dan OR keduanya programmable
- ▶ Programmable Array Logic (PAL), lebih sederhana
 - ▶ *plane* OR **tetap**
 - ▶ PAL lebih mudah untuk dimanufaktur dan dapat beroperasi lebih cepat daripada PLA
 - ▶ struktur ini paling banyak digunakan di aplikasi yang menggunakan programmable device sederhana

Programmable Array Logic

Contoh PAL



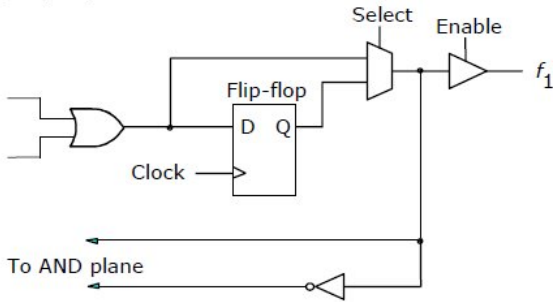
- Persamaan fungsi f_1 ? f_2 ?

Programmable Array Logic

Rangkaian Tambahan di PAL (macrocell)

- ▶ Device PAL mempunyai rangkaian tambahan di keluaran tiap gerbang OR untuk menyediakan fungsional tambahan
 - ▶ Macrocell: gerbang OR dikombinasikan dengan rangkaian tambahan
 - ▶ PAL = plane AND + macrocell

<http://embedded.undip.ac.id>



Memprogram PLA dan PAL

- Fungsi multikeluaran dari A, B, C

$$F1 = A B C$$

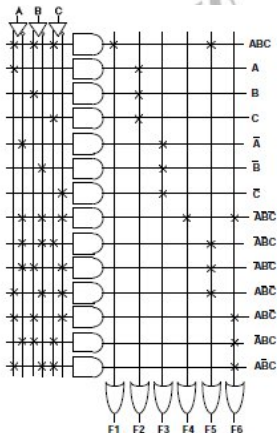
$$F2 = A + B + C$$

$$F3 = \overline{A B C}$$

$$F4 = \overline{A + B + C}$$

$$F5 = A \text{ xor } B \text{ xor } C$$

$$F6 = A \text{ xnor } B \text{ xnor } C$$

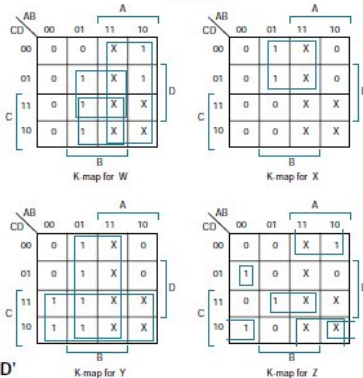


Memprogram PLA dan PAL

Contoh Desain: Konverter BCD ke Kode Gray

A	B	C	D	W	X	Y	Z
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	1
0	0	1	0	0	0	1	1
0	0	1	1	0	0	1	0
0	1	0	0	0	1	1	0
0	1	0	1	1	1	1	0
0	1	1	0	1	0	1	0
0	1	1	1	1	0	1	1
1	0	0	0	1	0	0	1
1	0	0	1	1	0	0	0
1	0	1	0	X	X	X	X
1	0	1	1	X	X	X	X
1	1	0	0	X	X	X	X
1	1	0	1	X	X	X	X
1	1	1	0	X	X	X	X
1	1	1	1	X	X	X	X

K-maps



Fungsi minimal:

$$W = A + B D + B C$$

$$X = B C'$$

$$Y = B + C$$

$$Z = A'B'C'D + B C D + A D' + B' C D'$$

Memprogram PLA dan PAL

Contoh Desain: Konverter BCD ke Kode Gray

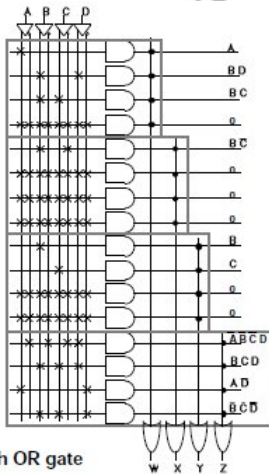
Pengantar Kuliah

@2012,Eko Didik
Widianto

Pengantar Kuliah

Teknologi
Implementasi
Rangkaian Digital

Pendahuluan
Chip Standar Seri 74xx
Programmable Logic Device

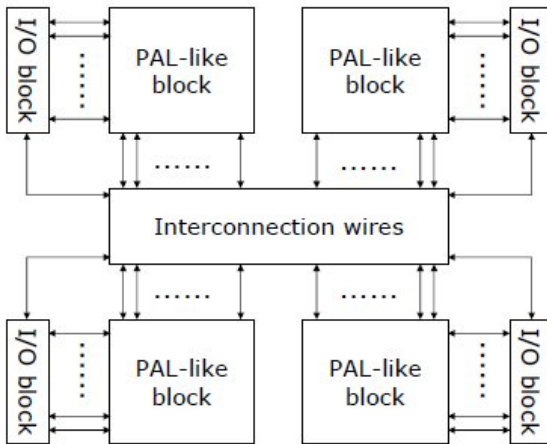


Complex Programmable Logic Device (CPLD)

- ▶ Untuk desain rangkaian yang lebih besar yang tidak dapat diimplementasikan dengan PLA atau PAL
 - ▶ Digunakan complex programmable logic device / CPLD
- ▶ CPLD berisi blok-blok rangkaian yang dapat saling dihubungkan dan disambungkan ke pin chip dengan penyambungan internal
 - ▶ Tiap blok menyerupai sebuah PAL (disebut PAL-like block)
- ▶ CPLD komersial dapat mempunyai 2 - 100 block PAL-like
 - ▶ Tiap blok mempunyai 16 macrocell
 - ▶ Tiap macrocell setara dengan 20 gerbang atau hampir 20K gerbang ekuivalen untuk CPLD dengan 1000 macrocell

Complex Programmable Logic Device

Struktur CPLD



Field-Programmable Gate Array (FPGA)

- ▶ Untuk mengimplementasikan rangkaian yang lebih besar lagi, digunakan tipe IC yang dapat mempunyai kapasitas logika yang lebih besar
 - ▶ Field Programmable Gate Array (FPGA)
- ▶ Tidak berisi blok AND dan OR
 - ▶ Tapi, berisi array blok logika dan jalur interkoneksi antar blok
 - ▶ Jalur interkoneksi disusun sebagai kanal routing secara horisontal dan vertikal yang berisi programmable switch
- ▶ Dapat mengimplementasikan fungsi logika dengan jumlah gerbang ekuivalen jutaan

Field-Programmable Gate Array

Struktur FPGA

