

KONTRAK PEMBELAJARAN (KP)



MATA KULIAH

Kode MK: TKC205
Program Studi Sistem Komputer
Fakultas Teknik
Universitas Diponegoro

Pengajar : Eko Didik Widiyanto, ST, MT
Semester : 2

KONTRAK PEMBELAJARAN

Nama Mata Kuliah	: Sistem Digital
Kode Mata Kuliah/ SKS	: TKC205 / 2 SKS
Dosen	: Eko Didik Widiyanto, ST, MT
Semester	: 2
Hari/Waktu Pertemuan	: a) Kamis, jam 09.30 – 11.10 (Kelas A) b) Selasa, jam 07.50 – 09.30 (Kelas B)
Tempat Pertemuan	: a) Ruang D304 b) Ruang D205

1. Manfaat Pembelajaran

Kuliah ini memberikan dasar-dasar sistem digital bagi mahasiswa meliputi konsep, aljabar Boolean, gerbang logika, analisis dan sintesis rangkaian logika, rangkaian logika minimal, teknologi implementasi dengan CMOS dan PLD, representasi bilangan dan operasi aritmetika, blok rangkaian kombinasional, rangkaian sekuensial: latch, flip-flop, register dan counter. Teknologi implementasi diarahkan menggunakan chip standar TTL dan CMOS.

Kuliah TKC205 menjadi prasyarat untuk mata kuliah lanjut, seperti TKC210 (teknik interface dan antarmuka), TKC211 (Teknik Mikroprosesor), TKC305 (Sistem Digital Lanjut) dan TKC213 (Organisasi Komputer).

2. Deskripsi Pembelajaran

Kuliah ini merupakan kuliah inti di jurusan Sistem Komputer, yang mempelajari dasar-dasar sistem digital, meliputi 7 bagian berikut:

1. Sistem digital dan metodologi desain;
2. Rangkaian logika: konsep, aljabar Boolean, gerbang logika, analisis, sintesis, minimisasi rangkaian menggunakan peta Karnaugh dan metode Quine-McKluskey;
3. Teknologi implementasi: CMOS dan tinjauan praktis, teknologi chip;
4. Representasi bilangan dan rangkaian aritmetika: tak bertanda (*unsigned*), bertanda (*signed*), *fixed-point*, *floating point*, operasi aritmetika dan desain rangkaian;
5. Blok rangkaian kombinasional;
6. Rangkaian sekuensial: elemen dasar *latch* dan *flip-flop*, register, pencacah, SRAM;
7. Desain rangkaian sekuensial sinkron: *finite state machine*/FSM, model Moore dan Mealy;

3. Kompetensi Pembelajaran

Standar Kompetensi (SK):

- Mahasiswa akan mampu memahami secara komprehensif tentang konsep dasar sistem digital;
- Dengan pemahaman konsep tersebut, mahasiswa akan mampu merancang dan menganalisis, mengimplementasikan, mengaplikasikan rangkaian digital (menggunakan teknologi TTL/CMOS) dan mengkomunikasikan solusi desain sistem digital dengan jelas, runut dan tepat baik tertulis maupun lisan;
- Mahasiswa akan mampu melakukan simulasi rangkaian logika dengan menggunakan program simulator, misalnya Qucs dari Michael Margraf (Quite Universal Circuit Simulator) atau program simulator lainnya;

Kompetensi Dasar (KD):

- [C2] Mahasiswa akan mampu menjelaskan tentang sistem digital, representasi diskrit dan metodologi untuk mendesain sistem digital;
- [C2] Mahasiswa akan mampu menjabarkan konsep-konsep rangkaian logika secara komprehensif meliputi representasi, variabel, fungsi logika, ekspresi dan persamaan logika;
- [C3] Mahasiswa akan mampu merepresentasikan fungsi logika ke tabel kebenaran dan mampu mengaplikasikannya dalam gerbang dan rangkaian logika dengan tepat;
- [C4] Mahasiswa akan mampu melakukan analisis rangkaian logika dari diagram pewaktuan yang tersedia;
- [C2] Mahasiswa akan mampu memahami aljabar Boolean;
- [C5] Mahasiswa akan mampu mendesain rangkaian logika dengan benar jika diberikan kebutuhan/requirement desain yang diinginkan (tabel kebenaran, diagram pewaktuan);
- [C6] Mahasiswa akan mampu mendesain rangkaian logika yang optimal dengan melakukan penyederhanaan fungsi secara aljabar;
- [C6] Mahasiswa akan mampu mendesain rangkaian logika optimal dengan menyederhanakan persamaan logika menggunakan peta Karnaugh;
- [C6] Mahasiswa akan mampu mendesain rangkaian logika optimal dengan menggabungkan beberapa fungsi dalam satu rangkaian multi-keluaran;
- [C6] Mahasiswa akan mampu mendesain rangkaian logika optimal dengan menyederhanakan fungsi logika dengan metode tabular Quine-McKluskey;
- [C5] Mahasiswa akan mampu mendesain dan menganalisis rangkaian multilevel dengan tepat jika diberikan konstrain jumlah fan-in yang terbatas di teknologi implementasi chip, misalnya di FPGA jumlah masukan maksimal gerbang adalah 3 buah masukan;
- [C4] Mahasiswa akan mampu mengimplementasikan gerbang-gerbang dan rangkaian logika menggunakan CMOS dengan tepat;
- [C4] Mahasiswa akan mampu menjelaskan dan mengaplikasikan asumsi dan disiplin

dalam perancangan sistem digital saat implementasi secara fisik;

- [C4] Mahasiswa akan mampu memilih teknologi yang akan digunakan untuk mengimplementasikan sistem digital, mulai dari teknologi IC Seri 7400, PLD (programmable logic device) dan ASIC (application specific IC);
- [C2] Mahasiswa akan mampu menuliskan sistem bilangan digital, dalam bentuk bilangan positional, bertanda (signed) dan tak bertanda (unsigned) dengan tepat;
- [C2] Mahasiswa akan mampu menuliskan bilangan pecahan dalam bentuk fixed-point dan floating-point dengan tepat;
- [C2] Mahasiswa akan mampu merepresentasikan informasi/bilangan digital ke dalam kode BCD (binary-coded decimal) maupun ASCII dengan tepat;
- [C4] Mahasiswa akan mampu melakukan operasi penjumlahan dan pengurangan dengan tepat menggunakan sistem bilangan 2's complement dan mampu menganalisis kondisi overflow aritmatika;
- [C4] Mahasiswa akan mampu mengimplementasikan dan mensimulasikan rangkaian aritmatika: adder, subtractor dan fast-adder jika diberikan suatu problem desain;
- [C2] Mahasiswa akan mampu menjelaskan fungsi karakteristik blok komponen rangkaian kombinasional dengan tepat;
- [C4] Mahasiswa akan mampu mengaplikasikan blok rangkaian kombinasional dalam desain sistem digital serta menganalisisnya;
- [C5] Mahasiswa akan mampu merancang dan menganalisis rangkaian multiplekser dari fungsi logika yang diinginkan, dengan menggunakan ekspansi Shannon;
- [C2] Mahasiswa akan mampu menjelaskan perbedaan antara latch dan flip-flop;
- [C4] Mahasiswa akan mampu menjelaskan fungsi karakteristik latch dan flip-flop (D, T, dan JK);
- [C4] Mahasiswa akan mampu mengaplikasikan flip-flop menjadi register, counter serta menganalisisnya dengan tepat;
- [C5] Mahasiswa akan mampu mendesain rangkaian counter sesuai urutan pencacahan yang diinginkan;
- [C2] Mahasiswa mampu menjelaskan tentang SRAM dengan tepat;
- [C2] Mahasiswa akan mampu membedakan model mesin Moore dan Mealy;
- [C4] Mahasiswa akan mampu mendesain diagram FSM dari problem desain sekuensial menggunakan model Moore;
- [C5] Mahasiswa akan mampu merumuskan diagram FSM menjadi tabel state dan mensintesis logika next_state dan logika output;
- [C5] Mahasiswa mampu mendesain rangkaian sekuensial menggunakan Flip-flop;
- [C2] Mahasiswa akan mampu memahami model mesin Mealy;
- [C5] Mahasiswa akan mampu mendesain diagram FSM dari problem desain sekuensial menggunakan model Mealy;

4. Strategi Pembelajaran

Kuliah dilakukan dengan metode tatap muka selama 2 x 50 menit yang berisi ceramah dan diskusi. Perkuliahan akan dilakukan setidaknya dalam 14 kali tatap muka sesuai jadwal. Waktu tambahan tatap muka di luar jadwal diberikan untuk kegiatan responsi dan kuis. Penetapan waktu tambahan akan diumumkan di blog <http://didik.blog.undip.ac.id>

5. Referensi Pembelajaran

1. Peter J. Ashenden, Digital Design: An Embedded Systems Approach Using Verilog/VHDL, Morgan Kaufmann, 2008;
2. Stephen Brown and Zvonko Vranesic, Fundamentals of Digital Logic with Verilog/VHDL, 2nd Edition, McGraw-Hill, 2005;
3. Ronald J. Tocci, Neal S. Widmer, Gregory L. Moss, "Digital Systems: Principles and Applications", Edisi 11, Pearson, 2011;
4. Buku ini bisa dipinjam di perpustakaan jurusan;
5. Sumber lain: paper ilmiah, website project;
6. Diktat dan artikel dari dosen;

6. Tugas

- Tugas diberikan berdasarkan topik kuliah;
- Tugas dikerjakan secara individu/grup di rumah;
- Solusi tugas dikumpulkan paling lambat 1 minggu setelah tugas diberikan;
- Jumlah tugas direncanakan sebanyak 5 buah;
- Penilaian akhir berdasarkan akumulasi 5 nilai tugas;

7. Kriteria Penilaian

Komponen penilaian:

1. Tugas
 - Tugas diberikan berdasarkan topik kuliah;

- Tugas dikerjakan secara individu/grup di rumah;
- Solusi tugas dikumpulkan paling lambat 1 minggu setelah tugas diberikan;
- Jumlah tugas direncanakan sebanyak minimal 5 buah;
- Penilaian akhir berdasarkan akumulasi 5 nilai tugas;

2. Kuis

- Tidak ada kuis;

3. UTS

- UTS dilakukan sesuai jadwal yang ditentukan oleh program studi;
- Bahan soal UTS sesuai dengan SAP/GBPP yang telah ditentukan;

4. UAS

- UAS dilakukan sesuai jadwal yang ditentukan oleh program studi;
- Bahan soal UAS mencakup semua materi yang telah diberikan;

Nilai Akhir (NA) ditentukan sebagai berikut:

$$NA = (0.3 \times Tgs) + (0.0 \times Quiz) + (0.3 \times UTS) + (0.4 \times UAS)$$

Keterangan:

- Tgs: nilai rata-rata dari 5 tugas terbaik
- UTS, UAS: nilai ujian tengah dan akhir semester
- Skala nilai Tgs, UTS, UAS adalah 0 - 100

Penilaian kompetensi dilakukan dengan kriteria sebagai berikut:

Nilai Akhir/NA	Nilai Angka	Nilai bobot
$80 < NA$	A	4
$65 < NA \leq 80$	B	3
$50 < NA \leq 65$	C	2
$35 < NA \leq 50$	D	1
$NA \leq 35$	E	0

8. Jadwal Pembelajaran

No	Kompetensi Dasar	Pokok Bahasan	Sub Pokok Bahasan	Estimasi Waktu (menit)	Daftar Pustaka
1	[C2] Mahasiswa akan mampu menjelaskan tentang sistem digital, representasi diskrit dan metodologi untuk mendesain sistem digital	Pengenalan sistem digital	<ul style="list-style-type: none"> • Sistem digital dan representasi diskrit • Perangkat digital dan pengantar teknologi rangkaian terintegrasi (IC) • Metodologi desain sistem digital • Abstraksi sistem digital 	2 x 50	[1] Bab 1.1 [2] Bab 1
2	<p>a) [C2] Mahasiswa akan mampu menjabarkan konsep-konsep rangkaian logika secara komprehensif meliputi representasi, variabel, fungsi logika, ekspresi dan persamaan logika</p> <p>b) [C3] Mahasiswa akan mampu merepresentasikan fungsi logika ke tabel kebenaran dan mampu mengaplikasikannya dalam gerbang dan rangkaian logika dengan tepat</p> <p>c) [C4] Mahasiswa akan mampu melakukan analisis rangkaian logika dari diagram pewaktuan yang tersedia</p>	Konsep rangkaian logika	<ul style="list-style-type: none"> • Representasi biner dan saklar sebagai elemen biner • Variabel dan fungsi logika • Ekspresi dan persamaan logika • Tabel kebenaran • Gerbang dasar: AND, OR, NOT, NAND, NOR • Rangkaian logika • Analisis rangkaian logika • Diagram pewaktuan 	2 x 50	[1] Bab 1.2 [2] Bab 2.1-2.4
3	<p>a) [C2] Mahasiswa akan mampu memahami aljabar Boolean</p> <p>b) [C5] Mahasiswa akan mampu mendesain rangkaian logika dengan benar jika diberikan kebutuhan/requirement desain yang diinginkan (tabel kebenaran, diagram pewaktuan)</p> <p>c) [C6] Mahasiswa akan mampu mendesain rangkaian logika yang optimal dengan melakukan penyederhanaan fungsi secara aljabar</p>	Aljabar Boolean dan sintesis rangkaian logika	<ul style="list-style-type: none"> • Aljabar Boolean: aksioma, teorema dan hukum • Diagram Venn • Manipulasi Aljabar • Sintesis rangkaian logika dari tabel kebenaran • minterm dan SOP, maxterm dan POS serta notasi kanoniknya • Konversi SOP-POS • Rangkaian AND-OR dan OR-AND • Rangkaian NAND-NAND dan NOR-NOR 	2 x 50	[1] Bab 2.1 [2] Bab 2.5-2.8
4	<p>a) [C3] Mahasiswa akan mampu menggunakan don't care dalam peta Karnaugh</p> <p>b) [C6] Mahasiswa akan mampu mendesain rangkaian logika optimal dengan menyederhanakan persamaan logika menggunakan peta Karnaugh</p> <p>c) [C6] Mahasiswa akan mampu mendesain rangkaian logika optimal dengan menggabungkan beberapa fungsi dalam satu rangkaian multi-keluaran</p>	Rangkaian logika optimal: peta Karnaugh dan rangkaian multi-keluaran	<ul style="list-style-type: none"> • Peta Karnaugh: 2 variabel, 3-variabel, 4-variabel, 5-variabel • Strategi minimisasi rangkaian • Minimisasi SOP (grouping minterm) • Kondisi don't care dan rangkaian dengan spesifikasi tidak lengkap • Minimisasi POS • Rangkaian multi-keluaran 	2 x 50	[1] Bab 2.1 [2] Bab 4.1-4.5
5	<p>a) [C2] Mahasiswa akan mampu memahami algoritma/metode tabular Quine-McKluskey untuk fungsi logika sehingga dihasilkan rangkaian yang minimum</p> <p>b) [C3] Mahasiswa akan mampu menggunakan perangkat lunak komputer (Bmin, Qmls dan</p>	Penyederhanaan fungsi logika dengan metode tabular Quine-McKluskey	<ul style="list-style-type: none"> • Metode Quine-McKluskey atau tabular • Program bantu komputer untuk menyederhanakan rangkaian logika dan menganalisis rangkaian, yaitu Bmin, Qmls dan Qucs 	2 x 50	[2] Bab 4.7-4.9

		Qucs) untuk menyederhanakan rangkaian logika dan untuk menganalisis rangkaian logika minimum			
6	<p>a) [C4] Mahasiswa akan mampu mengimplementasikan gerbang-gerbang dan rangkaian logika menggunakan CMOS dengan tepat</p> <p>b) [C4] Mahasiswa akan mampu menjelaskan dan mengaplikasikan asumsi dan disiplin dalam perancangan sistem digital saat implementasi secara fisik</p>	Implementasi gerbang dan rangkaian logika: teknologi CMOS dan tinjauan praktikal	<ul style="list-style-type: none"> • Saklar transistor • NMOS, PMOS dan CMOS • Gerbang logika CMOS: NOT, AND, OR, NAND, NOR • Tinjauan praktikal: asumsi dan disiplin dalam rangkaian digital • Buffer, tristate dan gerbang transmisi (TG) • CMOS untuk buffer dan TG 	2 x 50	[1] Bab 1.3 [2] Bab 3.1-3.4, Bab 3.8
7	[C4] Mahasiswa akan mampu memilih teknologi yang akan digunakan untuk mengimplementasikan sistem digital, mulai dari teknologi IC Seri 7400, PLD (<i>programmable logic device</i>) dan ASIC (<i>application specific IC</i>)	Teknologi rangkaian terintegrasi	<ul style="list-style-type: none"> • LUT (Look-up Table) • Gerbang XOR dan XNOR serta implementasinya • IC seri 7400, PLA, PAL, CPLD, FPGA, ASIC, standard-cell dan gate 	2 x 50	[1] Bab 6 [2] Bab 3.5-3.7
8	<p>a) [C2] Mahasiswa akan mampu menuliskan sistem bilangan digital, dalam bentuk bilangan positional, bertanda (<i>signed</i>) dan tak bertanda (<i>unsigned</i>) dengan tepat</p> <p>b) [C2] Mahasiswa akan mampu menuliskan bilangan pecahan dalam bentuk <i>fixed-point</i> dan <i>floating-point</i> dengan tepat</p> <p>c) [C2] Mahasiswa akan mampu merepresentasikan informasi/bilangan digital ke dalam kode BCD (binary-coded decimal) maupun ASCII dengan tepat</p> <p>d) [C3,C4] Mahasiswa akan mampu melakukan operasi penjumlahan dan pengurangan dengan tepat menggunakan sistem bilangan <i>2's complement</i> dan mampu menganalisis kondisi overflow aritmatika</p>	Representasi bilangan digital dan operasi bilangan (penjumlahan dan pengurangan)	<ul style="list-style-type: none"> • Representasi posisional: bilangan unsigned, desimal, biner, oktal dan hexadesimal • Konversi bilangan • Bilangan signed: sign-magnitude, 1's complement, 2's complement • Operasi penjumlahan dan pengurangan • Overflow aritmetika • Bilangan fixed-point, floating-point, BCD dan ASCII 	2 x 50	[1] Bab 3 [2] Bab 5.1-5.3, 5.7
9	[C4] Mahasiswa akan mampu mengimplementasikan dan mensimulasikan rangkaian aritmatika: adder, subtractor dan fast-adder jika diberikan suatu problem desain	Desain rangkaian aritmatika	<ul style="list-style-type: none"> • Unit penjumlah 1-bit: half-adder (HA) dan full-adder (FA) • Ripple carry adder (RCA) • Rangkaian penjumlah/pengurang • Desain fast adder: carry-lookahead adder (CLA) • Desain dan simulasi fast adder 32-bit 	2 x 50	[2] Bab 5.4 Manual Qucs
10	<p>a) [C2] Mahasiswa akan mampu menjelaskan fungsi karakteristik blok komponen rangkaian kombinasional dengan tepat</p> <p>b) [C4] Mahasiswa akan mampu mengaplikasikan blok rangkaian kombinasional dalam desain sistem digital serta menganalisisnya</p> <p>c) [C5] Mahasiswa akan mampu merancang dan menganalisis rangkaian multiplekser dari fungsi logika yang diinginkan, dengan menggunakan ekspansi Shannon</p>	Rangkaian kombinasional	<ul style="list-style-type: none"> • Rangkaian kombinasional • Blok: multiplekser, dekoder, demultiplekser, enkoder dan code converter • Peraga 7-segmen • Teorema ekspansi Shannon untuk mendesain rangkaian logika menggunakan multiplekser 	2 x 50	[1] Bab 2.3 [2] Bab 6

11	<p>a) [C2] Mahasiswa akan mampu menjelaskan perbedaan antara latch dan flip-flop</p> <p>b) [C4] Mahasiswa akan mampu menjelaskan fungsi karakteristik latch dan flip-flop (D, T, dan JK)</p>	Elemen dasar rangkaian sekuensial	<ul style="list-style-type: none"> • Rangkaian sekuensial • Latch dan rangkaian logikanya • Sensitivitas: level vs transisi • Master-slave D (Data) flip-flop • Edge-triggered D flip-flop • T (Toggle) flip-flop • JK Flipflop 	2 x 50	[1] Bab 4.1 [2] Bab 7.1-7.6
12	<p>a) [C4] Mahasiswa akan mampu mengaplikasikan flip-flop menjadi register, counter serta menganalisisnya dengan tepat</p> <p>b) [C5] Mahasiswa akan mampu mendesain rangkaian counter sesuai urutan pencacahan yang diinginkan</p> <p>c) [C2] Mahasiswa mampu menjelaskan tentang SRAM dengan tepat</p>	Rangkaian sekuensial: register, counter dan SRAM	<ul style="list-style-type: none"> • Register n-bit • Shift register • Counter: up dan down, asinkron dan sinkron • Desain counter • Static Random Access Memory (SRAM) 	2 x 50	[1] Bab 4.1-4.2 [2] Bab 7.7-7.10, 10.1